

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: October 29, 2002

Application Number: No. 2002-314694
[ST.10/C]: [JP 2002-314694]

Applicant(s) SHINKO ELECTRIC INDUSTRIES CO., LTD.

August 5, 2003

Commissioner,
Patent Office

Yasuo Imai (Seal)

Certificate No. 2003-3062736

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 0 月 2 9 日

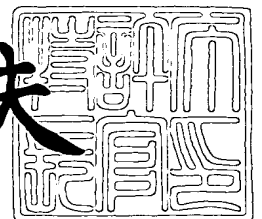
出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 1 4 6 9 4
[ST. 10/C]: [J P 2 0 0 2 - 3 1 4 6 9 4]

出 願 人
Applicant(s): 新 光 電 気 工 業 株 式 有 限 公 司

2 0 0 3 年 8 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 SD14-054

【提出日】 平成14年10月29日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 23/12

【発明の名称】 キャパシタ素子及びこの製造方法、半導体装置用基板、並びに半導体装置

【請求項の数】 7

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 大井 淳

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 堀川 泰愛

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 山崎 智生

【特許出願人】

【識別番号】 000190688

【氏名又は名称】 新光電気工業株式会社

【代理人】**【識別番号】** 100070150**【住所又は居所】** 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデン
プレイスタワー 3 2 階**【弁理士】****【氏名又は名称】** 伊東 忠彦**【電話番号】** 03-5424-2511**【手数料の表示】****【予納台帳番号】** 002989**【納付金額】** 21,000円**【その他】** 国等の委託研究の成果に係る特許出願（平成 1 4 年度新
エネルギー・産業技術総合開発機構基盤技術研究促進事
業（民間基盤技術研究支援制度）委託研究、産業活力再
生特別措置法第 3 0 条の適用を受けるもの）**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0202532**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 キャパシタ素子及びこの製造方法、半導体装置用基板、並びに半導体装置

【特許請求の範囲】

【請求項 1】 有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有する構成としたことを特徴とするキャパシタ素子。

【請求項 2】 有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有し、

且つ、該キャパシタ部を覆う絶縁層を有する構成としたことを特徴とするキャパシタ素子。

【請求項 3】 有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有するキャパシタ素子を製造する方法であって、

ベース材の表面に有機ポリシラン製の層を形成し、

該有機ポリシラン層上に、第 1 の電極を形成し、

該第 1 の電極上に誘電体を形成し、

該誘電体上に第 2 の電極を形成し、

上記有機ポリシラン層上に絶縁層を形成し、

積層されている上記有機ポリシラン層及び絶縁層にキャパシタ素子を個片に分離するための分離用溝を形成し、

上記ベース材を除去するようにしたことを特徴とするキャパシタ素子の製造方法。

【請求項 4】 有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有するキャパシタ素子を製造する方法であって、

ベース材の表面に、最終的には上記の有機ポリシラン膜状支持体となる有機ポリシラン製の層を形成し、

該有機ポリシラン層上に、第 1 の電極を形成し、

該第 1 の電極上に誘電体層を形成し、
該誘電体層上に第 2 の電極を形成し、
上記有機ポリシラン層上に絶縁層を形成し、
積層されている上記有機ポリシラン層及び絶縁層にキャパシタ素子を個片に分離するための分離用溝を形成し、
上記絶縁層の上面に上記分離用溝を跨いでテープを接着し、
上記ベース材を除去するようにしたことを特徴とするキャパシタ素子の製造方法。

【請求項 5】 下面に外部接続端子が並んでいる実装面を有し、上面に半導体素子が搭載される半導体素子搭載面を有する半導体装置用基板本体の該半導体素子搭載面の直ぐ真下の位置に、

有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有する構成のキャパシタ素子を設けた構成としたことを特徴とする半導体装置用基板。

【請求項 6】 下面に外部接続端子が並んでいる実装面を有し、上面に半導体素子が搭載される半導体素子搭載面を有する半導体装置用基板本体の該半導体素子搭載面の直ぐ真下の位置に、有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有する構成のキャパシタ素子を設けた構成の半導体装置用基板を製造する方法であって、

ベース上に、有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有し、且つ、該キャパシタ部を覆う絶縁層を有する構成のキャパシタ素子を貼り付け、

該ベース上に、上記キャパシタ素子を覆うように複数の絶縁層を積層し、
最後に上記ベースを除去することを特徴とする半導体装置用基板の製造方法。

【請求項 7】 請求項 5 記載の半導体装置用基板の半導体素子搭載面に、半導体素子が搭載された構成としたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はキャパシタ素子及びこの製造方法、並びにキャパシタ素子を有する半導体装置用基板に関する。

【0 0 0 2】**【従来の技術】**

近年、半導体装置は搭載される半導体素子の動作周波数が高周波数化してきており、これに伴って、半導体素子に供給する電源電圧の安定化を図ることが必要となってきた。これに対応するために、半導体素子が搭載される半導体装置用基板にキャパシタ素子を設ける構造が提案されている。

【0 0 0 3】

図 2 0 は従来の半導体装置 1 0 を示す。半導体装置 1 0 は、半導体装置用基板 1 1 上に半導体素子 1 2 が搭載してある構成である。半導体装置用基板 1 1 は、基板本体 1 3 の内部にキャパシタ素子 1 4 が設けてある構成である。キャパシタ素子 1 4 は、シリコン基板 1 5 の上面に、誘電材料からなる膜 1 6 が形成してあり、更に膜 1 6 の上に導電性の膜 1 7 が形成してある構成である。（特許文献 1 参照）

【特許文献 1】

特開特開 2 0 0 1 - 2 7 4 0 3 4 号公報（段落番号 0 0 2 5, 0 0 2 6、図 3）

【0 0 0 4】**【発明が解決しようとする課題】**

ここで、キャパシタ素子 1 4 は、シリコン基板 1 5 を支持体とした構成であるため、膜 1 6、1 7 が形成されたシリコンウェハを個片化する場合に、シリコンウェハをダイシングする必要がある、製造に手間が掛かってしまう。シリコン基板 1 5 に貫通孔を形成する場合には、ドライエッチング、ウェットエッチング、レーザ加工等が必要となり、製造に更に手間が掛かってしまう。

【0 0 0 5】

支持体がシリコン基板 1 5 であるので、キャパシタ素子 1 4 は、厚さが薄くできず、その分、半導体装置用基板 1 1 が厚くなってしまう。

【0006】

また、キャパシタ素子14は半導体装置用基板11のうち半導体素子搭載面から離れた位置に配置してあるので、半導体素子12とキャパシタ素子14との間の導電経路が長く、この部分のインダクタンスが大きくなって、半導体素子の動作周波数が高周波数化してきた場合に、このインダクタンスが原因で半導体素子に供給する電源電圧の安定化を図ることが難しくなる虞れがあった。

【0007】

そこで、本発明は上記課題を解決したキャパシタ素子及びこの製造方法、並びにキャパシタ素子を有する半導体装置用基板を提供することを目的とする。

【0008】**【課題を解決するための手段】**

請求項1の発明は、有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有する構成としたものである。

【0009】

有機ポリシラン膜が支持体であるため、シリコン基板が支持体であるキャパシタ素子に比べて薄くすることが可能となり、且つ、製造を容易とすることが可能となる。キャパシタ素子が薄いため、これを半導体装置用基板内に埋め込んだ場合に、半導体装置用基板も薄くなる。

【0010】

支持体が有機ポリシラン製であるので、キャパシタ素子の熱膨張係数が半導体素子の熱膨張係数と略同じくになって、キャパシタ素子を半導体装置用基板内に埋め込んで、キャパシタ素子上に半導体素子を搭載した構成の半導体装置において、キャパシタ素子と半導体素子との間に発生する熱応力が小さく抑制される。

【0011】

支持体が有機ポリシラン製であるので、キャパシタ部を形成する過程における高温条件のプロセスに対応することが可能となる。

【0012】

請求項2の発明は、有機ポリシラン製であり且つ膜状である有機ポリシラン膜

状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有し、
且つ、該キャパシタ部を覆う絶縁層を有する構成としたものである。

【0013】

有機ポリシラン膜が支持体であるため、シリコン基板が支持体であるキャパシタ素子に比べて薄くすることが可能となり、且つ、製造を容易とすることが可能となる。キャパシタ素子が薄いため、これを半導体装置用基板内に埋め込んだ場合に、半導体装置用基板も薄くなる。

【0014】

支持体が有機ポリシラン製であるので、キャパシタ素子の熱膨張係数が半導体素子の熱膨張係数と略同じくになって、キャパシタ素子を半導体装置用基板内に埋め込んで、キャパシタ素子上に半導体素子を搭載した構成の半導体装置において、キャパシタ素子と半導体素子との間に発生する熱応力が小さく抑制される。

【0015】

支持体が有機ポリシラン製であるので、キャパシタ部を形成する過程における高温条件のプロセスに対応することが可能となる。

【0016】

キャパシタ部を覆う絶縁層は、キャパシタ部を保護する。

【0017】

請求項3の発明は、有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有するキャパシタ素子を製造する方法であって、

ベース材の表面に有機ポリシラン製の層を形成し、

該有機ポリシラン層上に、第1の電極を形成し、

該第1の電極上に誘電体を形成し、

該誘電体上に第2の電極を形成し、

上記有機ポリシラン層上に絶縁層を形成し、

積層されている上記有機ポリシラン層及び絶縁層にキャパシタ素子を個片に分離するための分離用溝を形成し、

上記ベース材を除去するようにしたものである。

【0018】

個片化はベース材を除去することによってなされるので、ベース材をダイシングすることが必要でなく、よって、キャパシタ素子を生産性良く製造することが可能となる。

【0019】

請求項4の発明は、有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有するキャパシタ素子を製造する方法であって、

ベース材の表面に、最終的には上記の有機ポリシラン膜状支持体となる有機ポリシラン製の層を形成し、

該有機ポリシラン層上に、第1の電極を形成し、

該第1の電極上に誘電体層を形成し、

該誘電体層上に第2の電極を形成し、

上記有機ポリシラン層上に絶縁層を形成し、

積層されている上記有機ポリシラン層及び絶縁層にキャパシタ素子を個片に分離するための分離用溝を形成し、

上記絶縁層の上面に上記分離用溝を跨いでテープを接着し、

上記ベース材を除去するようにしたものである。

【0020】

個片化はベース材を除去することによってなされるので、ベース材をダイシングすることが必要でなく、よって、キャパシタ素子を生産性良く製造することが可能となる。

【0021】

ベース材が除去されてキャパシタ素子が個片に分離された後も、各キャパシタ素子はテープに接着されて支持されており、ばらばらにはならず、取り扱いがし易い。

【0022】

請求項5の発明は、下面に外部接続端子が並んでいる実装面を有し、上面に半導体素子が搭載される半導体素子搭載面を有する半導体装置用基板本体の該半導

体素子搭載面の直ぐ真下の位置に、

有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有する構成のキャパシタ素子を設けた構成としたものである。

【0023】

キャパシタ素子が薄いため、半導体装置用基板も薄くすることが可能である。

【0024】

キャパシタ素子が半導体素子搭載面の直ぐ真下の位置に配置してあるので、キャパシタ部から半導体素子搭載面の端子との間の導電経路の長さが極く短くなって、キャパシタ部から半導体素子搭載面の端子との間の導電経路のインダクタンスを極く小さくすることが可能となり、高速で動作する半導体素子に対応することが可能となる。

【0025】

また、キャパシタ素子が半導体素子搭載面の直ぐ真下の位置に配置してあり、且つ、キャパシタ素子は有機ポリシラン膜状支持体を有する構成であるため、半導体装置用基板を使用した半導体装置において、キャパシタ素子と半導体素子との間に発生する熱応力を小さく抑制することが可能となる。

【0026】

請求項6の発明は、下面に外部接続端子が並んでいる実装面を有し、上面に半導体素子が搭載される半導体素子搭載面を有する半導体装置用基板本体の該半導体素子搭載面の直ぐ真下の位置に、有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有する構成のキャパシタ素子を設けた構成の半導体装置用基板を製造する方法であって、

ベース上に、有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有し、且つ、該キャパシタ部を覆う絶縁層を有する構成のキャパシタ素子を貼り付け、

該ベース上に、上記キャパシタ素子を覆うように複数の絶縁層を積層し、最後に上記ベースを除去するようにしたものである。

【 0 0 2 7 】

キャパシタ素子が埋め込まれた構成の半導体装置用基板を効率良く製造することが可能となる。

【 0 0 2 8 】

請求項 7 の発明は、請求項 5 記載の半導体装置用基板の半導体素子搭載面に、半導体素子が搭載された構成としたものである。

【 0 0 2 9 】

薄くて、且つ、キャパシタ素子と半導体素子との間に発生する熱応力が抑制される半導体装置が実現可能となる。

【 0 0 3 0 】**【発明の実施の形態】**

以下の順序で説明する。

【 0 0 3 1 】

1. キャパシタ素子及びその製造方法。

【 0 0 3 2 】

2. 半導体装置用基板、半導体装置及び半導体装置用基板の製造方法。

【 0 0 3 3 】

先ず、キャパシタ素子の複数の実施例及びその製造方法について説明する。

【 0 0 3 4 】**[第 1 実施例]**

図 1 は本発明の第 1 実施例になるキャパシタ素子 2 0 を示す。キャパシタ素子 2 0 は、半導体装置用基板にその表面に露出した状態で埋め込まれ、半導体素子の搭載部を形成する。後に説明するキャパシタ素子 2 0 A ～ 2 0 D も同様である。

【 0 0 3 5 】

キャパシタ素子 2 0 は、支持体 2 1 が有機ポリシラン製の膜である構成である。キャパシタ素子 2 0 は、搭載される半導体素子と同じ大きさであり、有機ポリシラン製の膜状の支持体 2 1 と、膜状支持体 2 1 の上面に形成してあるキャパシタ部 2 2 と、膜状支持体 2 1 の上面に形成してあり、キャパシタ部 2 2 を覆う絶

緑層 23 と、膜状支持体 21 の下面に露出している信号用端子 24、25、電源用端子 26 及び接地用端子 27 と、絶縁層 23 の上面に突き出ている半田バンプ 28 とを有する構成である。

【0036】

信号用端子 24、25、電源用端子 26 及び接地用端子 27 は、搭載される半導体素子のパッドに対応しており、膜状支持体 21 を貫通して設けてあり、膜状支持体 21 の面 29 に露出している。半田バンプ 28 は信号用端子 24、25、電源用端子 26 及び接地用端子 27 と電氣的及び機械的に接続されており、絶縁層 23 の面 30 より突き出ている。面 30 は実質上、半導体素子が搭載される半導体搭載面を構成する。

【0037】

キャパシタ部 22 は、下部電極 32 と上部電極 33 とが間に陽極酸化層（誘電体層）34 を挟んで対向している構成であり、膜状支持体 21 と絶縁層 23 との間に配置されて保護されている。陽極酸化層 34 は下部電極 32 の表面に形成してある。下部電極 32 は接地用端子 27 と電氣的に接続されており、上部電極 33 は電源用端子 26 と電氣的に接続されている。キャパシタ部 22 は、電源用端子 26 と接地用端子 27 との間に設けてあり、後述するように半導体装置用基板に埋め込まれ、半導体素子が搭載された半導体装置がプリント基板に実装されて半導体装置が動作されるときに、バイパスキャパシタ又はデカップリングキャパシタとして機能して半導体素子に供給される電源電圧の安定化が図れる。

【0038】

キャパシタ素子 20 は、支持体 21 が有機ポリシラン製の膜である構成であるので、厚さ t_1 は薄い。

【0039】

有機ポリシランは、具体的にはポリメチルフェニルシランであり、ケイ素原子を主鎖に、有機置換基を側壁に持つ構造であり、且つ、UV 照射に対して光反応性を有し、且つ、ポストバークの温度によってガラス転移温度 T_g (glass-transition temperature)、熱膨張係数 (CTE) 等が調整できる性質を有する。熱膨張係数は $10 \sim 100 \text{ ppm/K}$ の範囲で調整される。支持体 21 の熱膨張係

数は、後述するように半導体装置用基板本体の熱膨張係数と半導体素子の材質であるシリコン基板の熱膨張係数（約 2.6 ppm/K ）との中間の特性であって、シリコン基板の熱膨張係数に近い値を有している。よって、後述する図 1 4 に示す半導体装置 1 3 0 において、半導体素子とキャパシタ素子 2 0 との間の熱応力、及びキャパシタ素子 2 0 と半導体装置用基板本体との間の熱応力が共に小さくなって改善される。

【 0 0 4 0 】

なお、有機ポリシラン膜状支持体 2 1 のヤング率は 1.2 GPa 、誘電率は 2.8、誘電正接は 0.005、絶縁性は $3 \sim 7 \text{ E} + 13$ である。

【 0 0 4 1 】

次に、上記のキャパシタ素子 2 0 の製造方法について、図 2 及び図 3 を参照して説明する。

【 0 0 4 2 】

キャパシタ素子 2 0 は、大きいサイズの基板上に多数のキャパシタ部 2 2 をマトリクス状に配置して形成し、最後に個片化して製造される。

【 0 0 4 3 】

先ず、図 2 (A) に示すように、基材 4 0 の上面に有機ポリシラン層 4 1 を形成する。

【 0 0 4 4 】

基材 4 0 はキャパシタ部を形成した後にエッチングによって除去することが可能であるものであり、且つ、約 500°C の温度に耐え得るものであり、具体的には、銅板である。鉄板でもよい。有機ポリシラン層 4 1 は、有機ポリシランをスピコートによって $1 \sim 10 \mu\text{m}$ の厚さに塗布し、 $120^\circ\text{C} \times 10 \text{ min}$ でプリベークする。

【 0 0 4 5 】

ここで、基材 4 0 の上面に形成してあるものが有機ポリシラン層 4 1 であるので、キャパシタ部 2 2 を形成する過程における高温条件のプロセスにも対応することが可能である。

【 0 0 4 6 】

次いで、図 2 (B) に示すように、プリベークされた有機ポリシラン層を露光、現像して、基材 40 にまで到るビア用の開口 42 及び個片化用のマトリクス状の溝 43 を形成し、ポストベークを行う。有機ポリシラン層 41 はポストベーク済み有機ポリシラン層 44 となる。このポストベーク済み有機ポリシラン層 44 が前記の支持体 21 を構成する。露光は 5 J/cm^2 (310 nm) で行い、現像はアルカリ現像液で行う。ポストベークは $230^\circ\text{C} \times 60 \text{ min}$ で行い、ポストベーク済み有機ポリシラン層 44 は、熱膨張係数が、半導体装置用基板本体の熱膨張係数とシリコンの熱膨張係数との中間の特性であって、シリコンの熱膨張係数に近い値を有している。なお、 500°C 以上の温度でポストベークした場合には、有機ポリシランは、完全に無機化して、 SiO_2 となり、支持体 21 の熱膨張係数は半導体素子を構成するシリコンの熱膨張係数と近くなる。なお、特許請求の範囲に記載の「有機ポリシラン膜状支持体」は高い温度でもってポストベークされて完全に無機化された層も包含するものである。

【0047】

次いで、図 2 (C) に示すように、ポストベーク済み有機ポリシラン層 44 の溝 43 をレジスト膜 45 でマスクし、この状態で、最初にチタンをスパッタリングし、次いでタンタルをスパッタリングして、開口 42 の底面及び側壁面を含めたポストベーク済み有機ポリシラン層 44 の表面に金属層 46 を形成する。

【0048】

チタン及びタンタルの層を形成する前に、ポストベーク済み有機ポリシラン層 44 の表面に、無電解銅めっき又は銅のスパッタリングをし、次いで銅の電解めっきを行って、銅の層を形成しておいてもよい。銅の層を形成しておくこと、下部電極 32 の電気抵抗が低くなる。

【0049】

次いで、図 2 (D) に示すように、基材 40 の下面をレジスト膜 47 で被覆し、金属層 46 をエッチングして、残った金属層 46 によって、下部電極 32 とビア 48～51 とを形成する。

【0050】

次いで、図 2 (E) に示すように、上面を下部電極 32 の部分を除いてレジス

ト膜 52 で被覆し、下部電極 32 の上面を陽極酸化し、下部電極 32 の上面に陽極酸化層 34 を形成する。陽極酸化層 34 がキャパシタ部 22 の誘電体となる。

【0051】

陽極酸化は、電解液として 0.1% のクエン酸ナトリウム液を使用し、 1.0 mA/cm^2 の定電流で、化成電圧 200 V まで酸化させて行う。

【0052】

次いで、図 2 (F) に示すように、溝 43 の部分のレジスト膜 45 はそのままとして、レジスト膜 52 を除去し、クロムをスパッタし、次いで銅をスパッタして、金属層 53 を形成する。

【0053】

次いで、図 2 (G) に示すように、金属層 53 をエッチングして、上部電極 33 を形成する。また、レジスト膜 45 を除去する。

【0054】

次いで、図 2 (H) に示すように、上面にエポキシ樹脂を塗布して絶縁層 23 を形成する。

【0055】

絶縁層 23 は、例えばエポキシ樹脂の膜である。このエポキシ樹脂の膜に代えて、ポリイミド樹脂を塗布してポリイミド樹脂膜でもよく、また、酸化シリコンやチッ化シリコンをスパッタして形成した膜でもよい。また、絶縁層 23 は、前記の支持板 21 と同様に有機ポリシランをベークして形成してもよい。

【0056】

次いで、図 3 (A) に示すように、レーザ加工又はエッチングによって、絶縁層 23 のうち、ビア用の開口 42 及び個片化用のマトリクス状の溝 43 を埋めている部分を除去して、開口 54 及び溝 55 を形成し、ビア 48 ~ 51 及び溝 43 が露出するようにする。

【0057】

絶縁層 23 がエポキシ樹脂に代えて感光性樹脂膜である場合には、露光、現像によって開口 54 及び溝 55 を形成する。

【0058】

次いで、図 3 (B) に示すように、溝 4 3 及び溝 5 5 をレジスト膜 5 6 で埋め、基材 4 0 からビア 4 8 ~ 5 1 に給電して、最初に銅の電解めっきを行って銅めっき部 5 7 でもってビア 4 8 ~ 5 1 の内部を埋め、続いて半田の電解めっきを半田が絶縁層 2 3 の表面より突き出るまで行って半田バンプ 2 8 を形成する。

【 0 0 5 9 】

また、はんだボールをビア 4 8 ~ 5 1 の部分に搭載してリフローすることによって、半田バンプ 2 8 を形成してもよい。

【 0 0 6 0 】

次いで、図 3 (C) に示すように、レジスト膜 5 6 を除去し、基材 4 0 の全面を覆う大きさの仮止め用テープ 5 8 を絶縁層 2 3 の表面に接着し、レジスト膜 4 7 を除去する。仮止め用テープ 5 8 は分離用溝 5 5, 4 3 を跨いでいる。

【 0 0 6 1 】

次いで、図 3 (D) に示すように、銅板である基材 4 0 をエッチングによって除去する。

【 0 0 6 2 】

これによって、ポストバーク済み有機ポリシラン層 4 4 の下面が露出し、ビア 4 8 ~ 5 1 がポストバーク済み有機ポリシラン層 4 4 の下面に露出して夫々信号用端子 2 4、2 5、電源用端子 2 6 及び接地用端子 2 7 を構成するようになる。

【 0 0 6 3 】

また、溝 4 3 及び溝 5 5 が露出して、隣り合うキャパシタ素子 2 0 が分離されて個片化され、個片化されたキャパシタ素子 2 0 が仮止め用テープ 5 8 に接着されてマトリクス状に並んで保持された状態となる。

【 0 0 6 4 】

キャパシタ素子 2 0 の個片化は、ダイシングを行うことなしに、容易になされる。

【 0 0 6 5 】

個片化されたキャパシタ素子 2 0 を仮止め用テープ 5 8 から剥離することによって、図 3 (E) 及び図 1 に示すキャパシタ素子 2 0 が得られる。

【 0 0 6 6 】

[第2実施例]

図4は本発明の第2実施例になるキャパシタ素子20Aを示す。キャパシタ素子20Aは、図1に示すキャパシタ素子20とはキャパシタ部及び端子の構造を異にし、他の部分は同じであり、図4中、図1に示す構成部分と対応する部分には同じ符号を付し、その説明は省略する。

【0067】

キャパシタ素子20は、搭載される半導体素子と同じ大きさであり、有機ポリシラン製の膜状の支持体21と、膜状支持体21の上面に形成してあるキャパシタ部22Aと、膜状支持体21の上面に形成してあり、キャパシタ部22Aを覆う絶縁層23と、膜状支持体21の下面に露出している信号用端子24A、25A、電源用端子26A及び接地用端子27Aと、絶縁層23の上面に突き出ている半田バンプ28とを有する構成である。

【0068】

キャパシタ部22Aは、下部電極32と上部電極33とが間に、陽極酸化層60が形成されたタンタル層61を挟んで対向している構成である。

【0069】

信号用端子24A、25A、電源用端子26A及び接地用端子27Aは、バリア層62とシード層63とを有する構成である。

【0070】

次に、上記のキャパシタ素子20Aの製造方法について、図5及び図6を参照して説明する。

【0071】

図5(A)乃至(H)及び図6(A)乃至(E)を図2(A)乃至(H)及び図3(A)乃至(D)と比較するに、図5(A)乃至(H)及び図6(A)乃至(F)のうち、図5(E)が特有の工程である。図5(A)乃至(D)は夫々図2(A)乃至(D)に対応し、図5(F)、(G)、(H)は夫々図2(E)、(F)、(G)に対応し、図6(A)は図2(H)に対応し、図6(B)乃至(E)は夫々図3(A)乃至(D)に対応する。

【0072】

先ず、図 5 (A) 及び (B) に示すように、基材 4 0 の上面に有機ポリシラン層 4 1 を形成し、ここに、ビア用の開口 4 2 及び個片化用のマトリクス状の溝 4 3 を形成し、ポストベークを行う。

【 0 0 7 3 】

次いで、図 5 (C) に示すように、ビア用の開口 4 2 の底面である基材 4 0 の露出している面に電解金めっきと電解ニッケルめっきとをこの順に行って、バリア層 6 2 を形成する。このバリア層 6 2 は、後述する半導体素子のバンプを接続するパッドや基材 4 0 をエッチングで除去するときに配線パターンが溶解されることを防止する。

【 0 0 7 4 】

次いで、無電解銅めっきを行ってシード層 6 3 を、ポストベーク済み有機ポリシラン層 4 4 の上面、バリア層 6 2 の上面、及び開口 4 2 の周壁面に形成する。なお、シード層 6 3 はクロムのスパッタを行い続いて銅のスパッタを行うことによっても形成できる。

【 0 0 7 5 】

次いで、このシード層 6 3 を給電層として電解銅めっきを行って、金属層 6 4 を形成する。金属層 6 4 は、ポストベーク済み有機ポリシラン層 4 4 の上面に形成されると共に、ビア用の開口 4 2 を埋める。

【 0 0 7 6 】

次いで、図 5 (D) に示すように、金属層 6 4 をエッチングして、残った金属層 6 4 によって、下部電極 3 2 とビア 4 8 A ~ 5 1 A とを形成する。

【 0 0 7 7 】

次いで、図 5 (E) に示すように、選択スパッタを行って、下部電極 3 2 上に、誘電体形成用の金属層であるタンタル層 6 1 を形成する。

【 0 0 7 8 】

選択スパッタの代わりに、ポストベーク済み有機ポリシラン層 4 4 と下部電極 3 2 の表面全面にタンタルをスパッタし、エッチングでパターニングして、タンタル層を下部電極 3 2 上に残すようにしてもよい。

【 0 0 7 9 】

また、最初にチタン層を形成し、このチタン層の上にタンタル層 61 を形成するようにしてもよい。

【0080】

次いで、図 5 (F) に示すように、タンタル層 61 の上面を陽極酸化し、タンタル層 61 の上面に陽極酸化層 60 を形成する。陽極酸化は図 2 (E) を参照して説明した条件と同じ条件で行う。

【0081】

次いで、図 5 (G) に示すように、表面に金属層 53A を形成する。金属層 53A は、溝 43 の部分のレジスト膜 45 はそのままとして、レジスト膜 52 を除去し、表面にシード層を形成し、このシード層を給電層として電解銅めっきを施して形成する。なお、シード層は、無電解銅めっきを行うことによって形成され、或いは、クロムのスパッタを行い続いて銅のスパッタを行うことによって形成される。なお、金属層 53A は、クロムと銅のスパッタによって形成してもよい。

【0082】

次いで、図 5 (H) に示すように、金属層 53 をエッチングして、上部電極 33 とパッド 65 とを形成する。パッド 65 は各ビア 48A、49A、50A の上面に形成される。また、陽極酸化層 60 及びタンタル層 61 のうちビア 51A に対応する個所をエッチングで除去して、開口 66 を形成して、ビア 51A の上面を露出させる。

【0083】

次いで、図 6 (A) に示すように、絶縁層 23 を形成し、図 6 (B) に示すように、絶縁層 23 に開口 54 及び溝 55 を形成し、ビア 48A～51A、パッド 65 及び溝 43 が露出するようにする。

【0084】

次いで、図 6 (C) に示すように、基材 40 から各ビア 48A～51A に給電して、半田の電解めっきを半田が絶縁層 23 の表面より突き出るまで行って半田バンプ 28 を形成する。

【0085】

次いで、図6 (D) に示すように、仮止め用テープ58を絶縁層23の表面に接着し、図6 (E) に示すように、銅板である基材40をエッチングによって除去して、キャパシタ素子20を個片化させる。

【0086】

個片化されたキャパシタ素子20を仮止め用テープ58から剥離することによって、図6 (F) 及び図4 に示すキャパシタ素子20Aが得られる。

【0087】

なお、各工程では、図2 (A) 乃至 (H) 及び図3 (A) 乃至 (D) を参照して説明した変形例を同じく適用できる。

【0088】

[第3実施例]

図7 (C) は本発明の第3実施例になるキャパシタ素子20Bを示す。

【0089】

キャパシタ素子20Bは、図4 に示すキャパシタ素子20Aとは半田バンプ28を有しない点が相違する構造である。図7中、図4 に示す構成部分と対応する部分には同じ符号を付し、その説明は省略する。

【0090】

キャパシタ素子20Bは、搭載される半導体素子と同じ大きさであり、有機ポリシラン製の膜状の支持体21と、膜状支持体21の上面に形成してあるキャパシタ部22Aと、膜状支持体21の上面に形成してあり、キャパシタ部22Aを覆う絶縁層23と、膜状支持体21の下面に露出している信号用端子24A、25A、電源用端子26A及び接地用端子27Aとを有する。絶縁層23には開口54が形成してあり、開口54の底に、パッド65が露出している。

【0091】

このキャパシタ素子20Bは、図7 (A) 、 (B) に示すように、図6 (B) に示す段階で仮止め用テープ58を絶縁層23の表面に接着し、銅板である基材40をエッチングによって除去することによって製造される。

【0092】

[第4実施例]

図8は本発明の第4実施例になるキャパシタ素子20Cを示す。

【0093】

キャパシタ素子20Cは、図4に示すキャパシタ素子20Aとはキャパシタ部を二つ並んで有する点が相違する構造である。図8中、図4に示す構成部分と対応する部分には同じ符号を付し、その説明は省略する。

【0094】

キャパシタ素子20Cは、搭載される半導体素子と同じ大きさであり、有機ポリシラン製の膜状の支持体21と、膜状支持体21の上面に形成してあるキャパシタ部22A-1、22A-2と、膜状支持体21の上面に形成してあり、キャパシタ部22A-1、22A-2を覆う絶縁層23と、膜状支持体21の下面に露出している信号用端子24A、25A、電源用端子26A-1、26A-2及び接地用端子27A-1、27A-2と、絶縁層23の上面に突き出ている半田バンプ28とを有する構成である。キャパシタ部22A-1は電源用端子26A-1と接地用端子27A-1との間に、キャパシタ部22A-2は電源用端子26A-2と接地用端子27A-2との間に設けてある。

【0095】

[第5実施例]

図9は本発明の第5実施例になるキャパシタ素子20Dを示す。

【0096】

キャパシタ素子20Dは、図4に示すキャパシタ素子20Aとは半田バンプ28を有しない点、及び、端子がバンプの形状である点が相違する構造である。図9中、図3に示す構成部分と対応する部分には同じ符号を付し、その説明は省略する。

【0097】

キャパシタ素子20Dは、搭載される半導体素子と同じ大きさであり、有機ポリシラン製の膜状の支持体21と、膜状支持体21の上面に形成してあるキャパシタ部22Aと、膜状支持体21の上面に形成してあり、キャパシタ部22Aを覆う絶縁層23と、膜状支持体21の下面に露出している信号用端子24D、25D、電源用端子26D及び接地用端子27Dとを有する。絶縁層23には開口

54が形成してあり、開口54の底に、パッド65が露出している。

【0098】

次に、上記のキャパシタ素子20Dの製造方法について、図10及び図11を参照して説明する。

【0099】

キャパシタ素子20Dは、前記のキャパシタ素子20、20Aの製造方法とは逆に、最初に端子24D～27Dを形成し、その後に、キャパシタ部22Aを形成して製造される。

【0100】

先ず、図10（A）及び（B）に示すように、基材40の上面に有機ポリシラン層41を形成し、プリベークし、ここに、ビア用の開口42及び個片化用のマトリクス状の溝43を形成し、ポストベークを行う。

【0101】

次いで、図10（C）に示すように、ポストベーク済み有機ポリシラン層44の溝43をレジスト膜45でマスクし、開口42の底部に露出した基材40をエッチングしてバンプ形成用の凹部70を形成する。

【0102】

次いで、図10（D）に示すように、基材40から給電して半田めっきをおこなって、半田めっきを凹部70及び開口42内に充填させ、信号用端子24D、25D、電源用端子26D及び接地用端子27Dを形成する。

【0103】

次いで、図10（E）に示すように、図5（C）に示す工程と同様に、ポストベーク済み有機ポリシラン層44の上面にシード層を形成し、このシード層を給電層として電解銅めっきを行って、金属層64を形成する。

【0104】

次いで、図10（F）に示すように、図5（D）に示す工程と同様に、金属層64をエッチングして、残った金属層64によって、下部電極32を形成する。

【0105】

その後に、図5（E）乃至（H）に示す工程及び図6（A）に示す工程と同様

な工程を経て、図 11 (A) に示すように、キャパシタ部 22 A と、絶縁層 23 と、開口 54 とを形成する。

【0106】

次いで、図 11 (B) に示すように、仮止め用テープ 58 を絶縁層 23 の表面に接着し、図 11 (C) に示すように、銅板である基材 40 をエッチングによって除去して、キャパシタ素子 20 D を個片化させる。個片化されたキャパシタ素子 20 D を仮止め用テープ 58 から剥離することによって、図 11 (D) 及び図 9 に示すキャパシタ素子 20 D が得られる。

【0107】

なお、各工程では、図 5 (A) 乃至 (H) 及び図 6 (A) 乃至 (F) を参照して説明した変形例を同じく適用できる。

【0108】

なお、図 1 乃至図 11 に示すキャパシタ素子 20、20 A 乃至 20 D において、キャパシタ部 22、22 A、22 A-1、22 A-2 を、陽極酸化層 34、60 に代えて、PVD や CVD によってチタン酸バリウムやチタン酸ストロンチウム等の強誘電体を下部電極 32 の上面にスパッタした強誘電体層を有する構成としてもよい。また、陽極酸化層に代えてゾル-ゲル法によって形成した電体層でもよい。

【0109】

また、図 1 乃至図 11 に示すキャパシタ素子 20、20 A 乃至 20 D において、有機ポリシラン膜状支持体 21 に代えて、液晶ポリマー製の膜状支持体としてもよい。

【0110】

また、図 1 乃至図 11 に示すキャパシタ素子 20、20 A 乃至 20 D において、個片化用のマトリクス状の溝 43 を形成しないで、基材をダイシングして個片化してもよい。

【0111】

また、図 1 乃至図 11 に示すキャパシタ素子 20、20 A 乃至 20 D において、配線パターンの途中に、陽極酸化層や強誘電体層を設けることによって、キャ

パシタ部に加えて、抵抗部を形成することも可能である。

【0112】

次に、半導体装置用基板及びその製造方法について説明する。

【0113】

図12は半導体装置用基板100を示し、図13はこの半導体装置用基板100の一部を拡大して示す。

【0114】

半導体装置用基板100は、半導体装置用基板本体101及び図1に示すキャパシタ素子20を有する。半導体装置用基板本体101は、樹脂層102、103、104が積層してある多層回路基板である。各層に形成された導体パターン105は各層を貫通しているビア106によって電氣的に接続してある。半導体装置用基板本体101の上面には、補強材としての枠形状の金属板107が薄樹脂層108によって接合してある。110は半導体素子搭載面であり、半導体装置用基板本体101の上面のうち枠形状の金属板107の開口窓109の内側の部分であり、ここには、信号用端子111、112、電源用端子113及び接地用端子114が露出して並んでいる。115は実装面であり、半導体装置用基板本体101の下面であり、ここには、半田ボール116がビア106と接続されて設けてあり、且つ、ソルダレジスト117によって覆われている。

【0115】

図13に拡大して示すように、キャパシタ素子20は、樹脂層104内に埋め込まれて、半導体装置用基板本体101のうち半導体素子搭載面110の直ぐ真下の場所に埋め込んである。キャパシタ素子20のバンプ28は信号用端子111、112、電源用端子113及び接地用端子114と接続してある。キャパシタ素子20の信号用端子24、25、電源用端子26及び接地用端子27はビア156と接続してある。キャパシタ素子20内のキャパシタ部22は半導体装置用基板100内の電源供給導電経路118と接地導電経路119との間に接続してある。

【0116】

ここで、キャパシタ素子20は薄いため一つの樹脂層104内に埋め込まれて

おり、よって、半導体装置用基板 100 の厚さ t_2 は薄い。なお、樹脂層 104 の厚さは数 $10\ \mu\text{m}$ 以上である。

【0117】

図 14 は半導体装置 130 を示す。半導体装置 130 は、図 12 に示す半導体装置用基板 100 の半導体素子搭載面 110 に、半導体素子 140 がフリップチップ接続によって搭載してある。半導体素子 140 の下面のバンプ 141 が、半導体素子搭載面 110 に露出している信号用端子 111, 112、電源用端子 113 及び接地用端子 114 と接続してある。

【0118】

ここで、キャパシタ素子 20 は半導体装置用基板 100 のうち半導体素子搭載面 110 の直ぐ直下の位置に配置してあり、実質上は半導体素子 140 がキャパシタ素子 20 上に搭載されている構成である。このため、半導体素子 140 とキャパシタ素子 20 との間の導電経路は極く短く、この部分のインダクタンスは小さい。よって、半導体素子の動作周波数が高周波数化してきた場合にも、半導体素子に供給する電源電圧はこのインダクタンスによる影響を受けないで、安定に維持される。

【0119】

また、実質上は半導体素子 140 がキャパシタ素子 20 上に搭載されている構成であり、且つ、キャパシタ素子 20 は、焼成された有機ポリシラン製の支持体 21 を有しておりシリコン製の半導体素子 140 と略等しい熱膨張係数を有している。よって、半導体素子 140 が動作時に発熱し、キャパシタ素子 20 が半導体素子 140 によって加熱された場合に、半導体素子 140 とキャパシタ素子 20 との間に発生する熱応力は小さく抑えられて改善される。

【0120】

次に、半導体装置用基板 100 の製造方法について、図 15、図 16 及び図 17 を参照して説明する。

【0121】

先ず、図 15 (A) に示すように、銅等の金属板 150 の上面にポリイミド等の樹脂を塗布して薄樹脂膜 151 を形成する。

【0122】

次いで、図15（B）に示すように、薄樹脂膜151の表面に無電解めっき等によって銅等の薄膜金属層を形成し、この薄膜金属薄膜を給電層とする電解めっきにより形成した金属層に、フォトリソ法等の公知の方法でパターニングして接続パッド152を形成する。この接続パッド152が最終的には信号用端子111、112、電源用端子113及び接地用端子114となる。

【0123】

次いで、図15（C）に示すように、図1に示すキャパシタ素子20を、図1に示す姿勢から表裏反転させた姿勢で、半田バンプ28を対応する接続パッド152に接合させて搭載する。

【0124】

次いで、図15（D）に示すように、エポキシ等の樹脂層104をラミネートして、キャパシタ素子20を完全に覆う。樹脂層104はキャパシタ素子20と薄樹脂膜151との間の隙間も埋める。

【0125】

次いで、図15（E）に示すように、樹脂層104にレーザ加工やエッチング等によってビア形成用の凹部153を形成する。凹部153の底面には、キャパシタ素子20の信号用端子24、25、電源用端子26及び接地用端子27が露出する。

【0126】

次いで、図16（A）に示すように、銅の無電解めっきと電解めっきとを行って、樹脂層104の全面に金属層154を形成する。金属層154は凹部153を埋めている。

【0127】

次いで、図16（B）に示すように、金属層154をフォトリソ法でパターニングして、導体パターン155及びビア156を形成する。

【0128】

次いで、図16（C）に示すように、導体パターン155が覆われるように樹脂層103をラミネートし、この樹脂層103にレーザ加工やエッチング等によ

ってビア形成用の凹部 157 を形成する。凹部 157 の底面には、導体パターン 155 及びビア 156 が露出する。

【0129】

次いで、図 17 (A) に示すように、上記と同じく、樹脂層 104 の全面に金属層を形成し、この金属層をパターンニングして導体パターン 157 及びビア 159 を形成し、更に、樹脂層 102 をラミネートし、この樹脂層 102 にビア形成用の凹部を形成し、樹脂層 102 の全面に金属層を形成し、この金属層をパターンニングしてビア 160 及びパッド 161 を形成する。

【0130】

次いで、図 17 (B) に示すように、パッド 161 の部分を除いて樹脂層 102 の全面にソルダレジスト 117 を塗布する。

【0131】

最後に、図 17 (C) に示すように、金属板 150 に対してエッチングを行って、金属板 150 に開口窓 109 を形成し、開口窓 109 の底面に露出している薄樹脂層 151 をこの薄樹脂層 151 のみをエッチングするエッチング液でこれらを除き、更には、半田ボール 116 をパッド 161 に接合させる。なお、金属板 150 に開口窓 109 を形成する代わりに、金属板 150 を完全に除去してもよい。

【0132】

ここで、金属板 150 に対するエッチングの進行は薄樹脂層 151 によって停止され、過剰エッチングは起きない。また、半田ボール 116 のパッド 161 への接合は、半田ボール 116 をソルダレジスト 117 に形成してある凹部に置いて、リフローしてなされる。

【0133】

図 4 に示すキャパシタ素子 20A、図 8 に示すキャパシタ素子 20C、及び図 9 に示すキャパシタ素子 20D も、前記のキャパシタ素子 20 の場合と略同様に、半導体装置用基板の内部のうち半導体素子搭載面の直ぐ直下の位置に配置されて埋め込まれて使用される。なお、図 9 の場合は、バンプ状の端子 24D ~ 27D によってキャパシタ素子 20D が接続パッド 152 と接続される。

【0134】

次に、図7（C）に示すキャパシタ素子20Bが組み込まれた半導体装置用基板をその製造方法と併せてついで説明する

図18（D）はキャパシタ素子20Bが組み込まれた半導体装置用基板200を示す。この半導体装置用基板200は、図18（A）乃至（C）に示す工程を経て製造される。

【0135】

先ず、図18（A）に示すように、金属板201にポリイミド等の樹脂を塗布して薄樹脂膜202を形成する。薄樹脂膜202が半硬化状態の段階で、図7（C）に示すキャパシタ素子20Bの面29を薄樹脂膜202に接着し、薄樹脂膜202をキュアして硬化させる。薄樹脂膜202は接着剤と同様な働きをする。

【0136】

次いで、図18（B）に示すように、キャパシタ素子20Bを覆うようにビルドアップ層203、204を形成する。

【0137】

次いで、図18（C）に示すように、エッチングによって金属板201を部分的に除去して、開口窓205を形成する。金属板201の全部を除去してもよい。

【0138】

最後に、エッチング又はアッシングを行って、開口窓205の底面に露出している薄樹脂膜202を除去して、図18（D）に示す半導体装置用基板200が完成する。

【0139】

半導体装置用基板200は、キャパシタ素子20Bの平坦な面29が開口窓205の底面に露出し、且つ、信号用端子24A、25A、電源用端子26A及び接地用端子27Aが開口窓205の底面に露出している構成である。平坦な面29が半導体素子搭載面であり、キャパシタ素子20Bの端子24A、25A、26A、27Aが半導体素子接続用の端子としての役割を有する。

【0140】

図19は図18(D)に示す半導体装置用基板200を有する半導体装置210を示す。半導体素子140が図18(D)に示す半導体装置用基板200に搭載してある。半導体素子140は、そのバンプを端子24A、25A、26A、27Aと接続されて、平坦な面29に搭載してある。

【0141】

なお、キャパシタ素子20、20A～20Dは、半導体装置用基板100に埋め込まれて使用される他に、他の用途の基板に埋め込まれて使用することも可能である。

【0142】

【発明の効果】

上述の如く、請求項1の発明は、有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有する構成としたものであるため、以下の効果を有する。

【0143】

①有機ポリシラン膜が支持体であるため、シリコン基板が支持体であるキャパシタ素子に比べて薄くすることが出来、且つ、製造を容易とすることが出来る。キャパシタ素子が薄いため、これを半導体装置用基板内に埋め込んだ場合に、半導体装置用基板も薄く出来る。

【0144】

②支持体が有機ポリシラン製であるので、キャパシタ素子の熱膨張係数が半導体素子の熱膨張係数と略同じくになって、キャパシタ素子を半導体装置用基板内に埋め込んで、キャパシタ素子上に半導体素子を搭載した構成の半導体装置において、キャパシタ素子と半導体素子との間に発生する熱応力を小さく抑制することが出来る。

【0145】

③支持体が有機ポリシラン製であるので、キャパシタ部を形成する過程における高温条件のプロセスに対応することが出来る。

【0146】

請求項2の発明は、有機ポリシラン製であり且つ膜状である有機ポリシラン膜

状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有し、且つ、該キャパシタ部を覆う絶縁層を有する構成としたものであるため、上記請求項1の発明の効果に加えて、キャパシタ部を覆う絶縁層によってキャパシタ部を保護することが出来るという効果を有する。

【0147】

請求項3の発明は、有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有するキャパシタ素子を製造する方法であって、ベース材の表面に有機ポリシラン製の層を形成し、該有機ポリシラン層上に、第1の電極を形成し、該第1の電極上に誘電体を形成し、該誘電体上に第2の電極を形成し、上記有機ポリシラン層上に絶縁層を形成し、積層されている上記有機ポリシラン層及び絶縁層にキャパシタ素子を個片に分離するための分離用溝を形成し、上記ベース材を除去するようにしたものであり、個片化はベース材を除去することによってなされるようにしたものであるので、ベース材をダイシングすることが必要でなく、よって、キャパシタ素子を生産性良く製造することが出来る。

【0148】

請求項4の発明は、有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有するキャパシタ素子を製造する方法であって、ベース材の表面に、最終的には上記の有機ポリシラン膜状支持体となる有機ポリシラン製の層を形成し、該有機ポリシラン層上に、第1の電極を形成し、該第1の電極上に誘電体層を形成し、該誘電体層上に第2の電極を形成し、上記有機ポリシラン層上に絶縁層を形成し、積層されている上記有機ポリシラン層及び絶縁層にキャパシタ素子を個片に分離するための分離用溝を形成し、上記絶縁層の上面に上記分離用溝を跨いでテープを接着し、上記ベース材を除去するようにしたものであり、個片化はベース材を除去することによってなされるので、ベース材をダイシングすることが必要でなく、よって、キャパシタ素子を生産性良く製造することが出来、しかも、ベース材が除去されてキャパシタ素子が個片に分離された後も、各キャパシタ素子はテープに接着されて支持されており、ばらばらにはならず、取り扱いがし易く出来る。

【0149】

請求項5の発明は、下面に外部接続端子が並んでいる実装面を有し、上面に半導体素子が搭載される半導体素子搭載面を有する半導体装置用基板本体の該半導体素子搭載面の直ぐ真下の位置に、有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有する構成のキャパシタ素子を設けた構成としたものであるもので以下の効果を有する。

【0150】

①キャパシタ素子が薄いため、半導体装置用基板も薄くすることが出来る。

【0151】

②キャパシタ素子が半導体素子搭載面の直ぐ真下の位置に配置してあるので、キャパシタ部から半導体素子搭載面の端子との間の導電経路の長さが極く短くなって、キャパシタ部から半導体素子搭載面の端子との間の導電経路のインダクタンスを極く小さくすることが可能となり、高速で動作する半導体素子に対応することが可能となる。

【0152】

③キャパシタ素子が半導体素子搭載面の直ぐ真下の位置に配置してあり、且つ、キャパシタ素子は有機ポリシラン膜状支持体を有する構成であるため、半導体装置用基板を使用した半導体装置において、キャパシタ素子と半導体素子との間に発生する熱応力を小さく抑制することが可能となる。

【0153】

請求項6の発明は、下面に外部接続端子が並んでいる実装面を有し、上面に半導体素子が搭載される半導体素子搭載面を有する半導体装置用基板本体の該半導体素子搭載面の直ぐ真下の位置に、有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有する構成のキャパシタ素子を設けた構成の半導体装置用基板を製造する方法であって、ベース上に、有機ポリシラン製であり且つ膜状である有機ポリシラン膜状支持体上に、電極が誘電体層を挟んで対向するキャパシタ部を有し、且つ、該キャパシタ部を覆う絶縁層を有する構成のキャパシタ素子を貼り付け、該ベース上

に、上記キャパシタ素子を覆うように複数の絶縁層を積層し、最後に上記ベースを除去するようにしたものであるので、キャパシタ素子が埋め込まれた構成の半導体装置用基板を効率良く製造することが出来る。

【 0 1 5 4 】

請求項 7 の発明は、請求項 5 記載の半導体装置用基板の半導体素子搭載面に、半導体素子が搭載された構成としたものであるので、薄くて、且つ、キャパシタ素子と半導体素子との間に発生する熱応力が抑制される半導体装置が実現可能となる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施例のキャパシタ素子を示す図である。

【図 2】

図 1 のキャパシタ素子の製造工程を示す図である。

【図 3】

図 2（H）に続く製造工程を示す図である。

【図 4】

本発明の第 2 実施例のキャパシタ素子を示す図である。

【図 5】

図 4 のキャパシタ素子の製造工程を示す図である。

【図 6】

図 5（H）に続く製造工程を示す図である。

【図 7】

本発明の第 3 実施例のキャパシタ素子を示す図である。

【図 8】

本発明の第 4 実施例のキャパシタ素子を示す図である。

【図 9】

本発明の第 5 実施例のキャパシタ素子を示す図である。

【図 1 0】

図 9 のキャパシタ素子の製造工程を示す図である。

【図 1 1】

図 1 0 (F) に続く製造工程を示す図である。

【図 1 2】

本発明の一実施例の半導体装置用基板を示す図である。

【図 1 3】

図 1 2 中の一部を拡大して示す図である。

【図 1 4】

図 1 2 の半導体装置用基板を有する半導体装置を示す図である。

【図 1 5】

図 1 2 の半導体装置用基板の製造工程を示す図である。

【図 1 6】

図 1 6 (E) に続く製造工程を示す図である。

【図 1 7】

図 1 6 (C) に続く製造工程を示す図である。

【図 1 8】

本発明の別の実施例の半導体装置用基板をその製造工程と併せて示す図である。
。

【図 1 9】

図 1 8 (D) の半導体装置用基板を有する半導体装置を示す図である。

【図 2 0】

従来例を示す図である。

【符号の説明】

2 0、2 0 A ~ 2 0 D キャパシタ素子

2 1 有機ポリシラン膜状支持体

2 2, 2 2 A キャパシタ部

2 3 絶縁層

2 4、2 5, 2 4 A、2 5 A 信号用端子

2 6, 2 6 A 電源用端子

2 7, 2 7 A 接地用端子

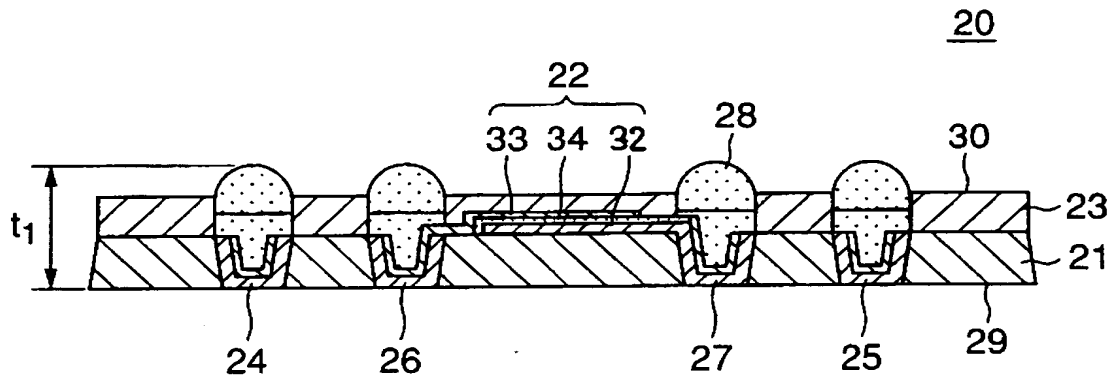
2 8 半田バンプ
3 2 下部電極
3 3 上部電極
3 4、6 0 陽極酸化層
4 0 基材
4 1 有機ポリシラン層
4 2 ビア用の開口
4 3 個片化用のマトリクス状の溝
5 8 仮止め用テープ
1 0 0 半導体装置用基板
1 0 1 半導体装置用基板本体
1 0 2、1 0 3、1 0 4 樹脂層
1 0 6 導体パターン
1 0 6 ビア
1 0 7 金属板
1 1 0 半導体素子搭載面
1 1 5 実装面
1 1 8 電源供給導電経路
1 1 9 接地導電経路
1 3 0 半導体装置
1 4 0 半導体素子

【書類名】

図面

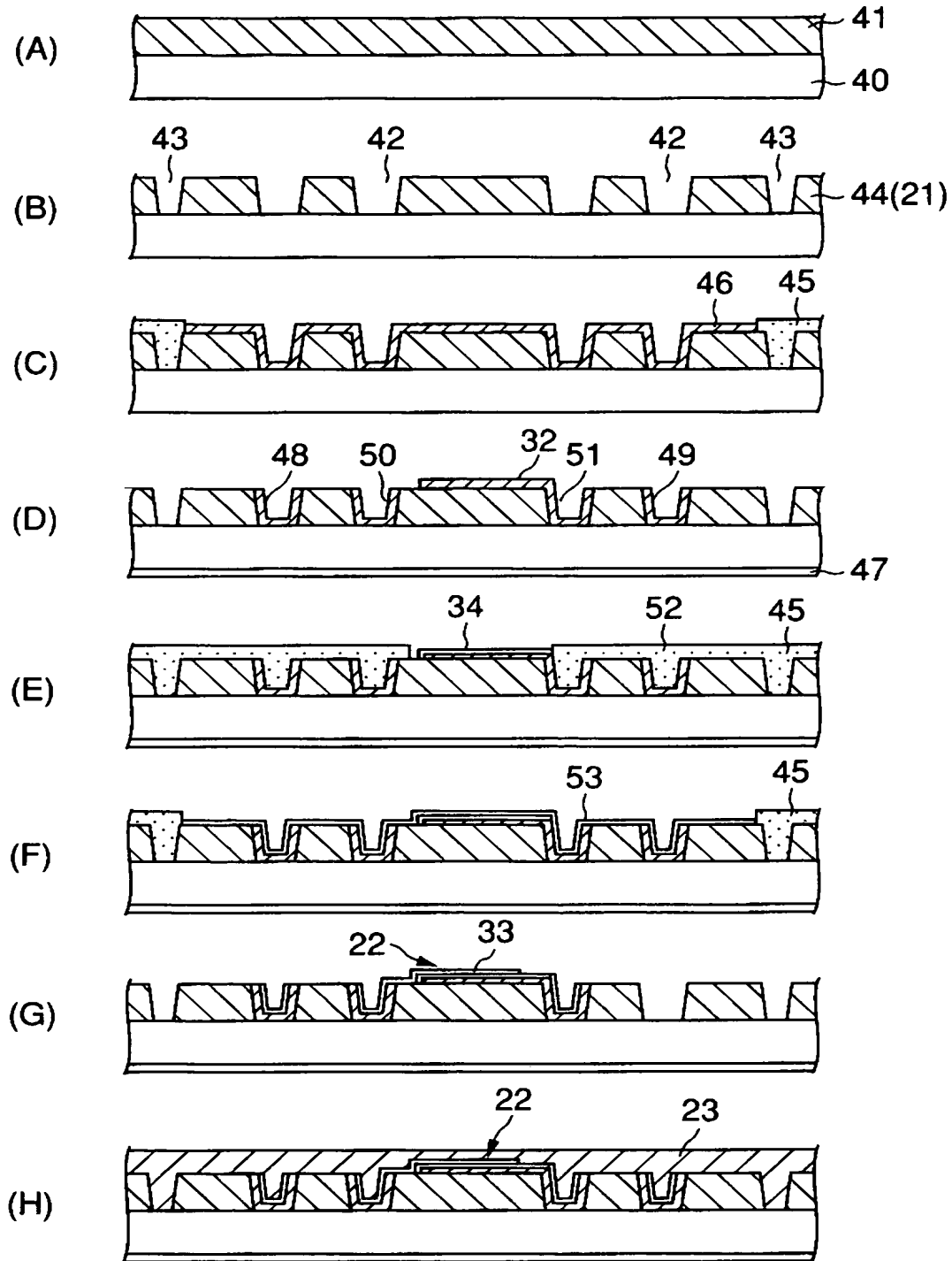
【図 1】

本発明の第1実施例になるキャパシタ素子を示す図



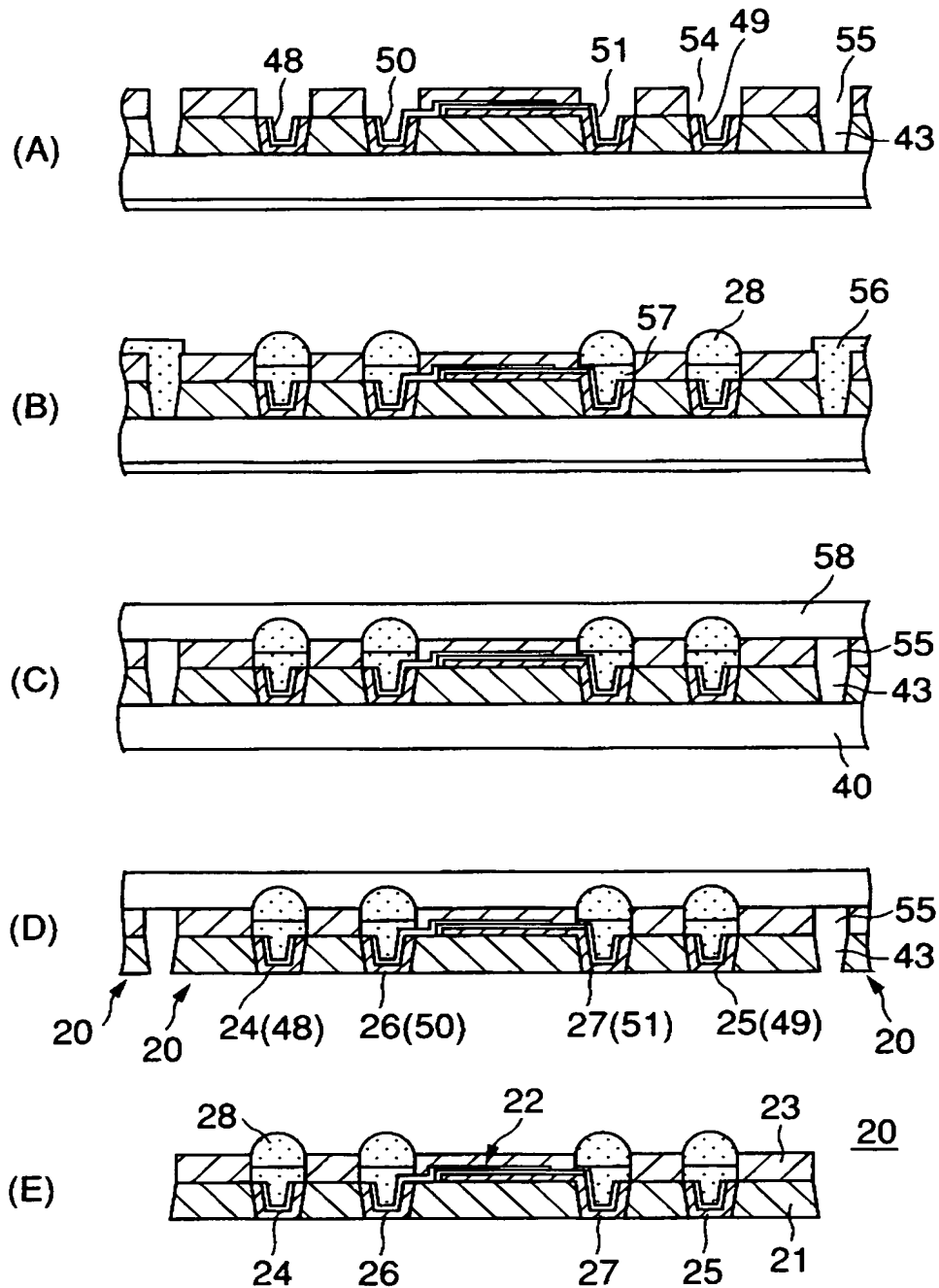
【図 2】

図1のキャパシタ素子の製造工程を示す図



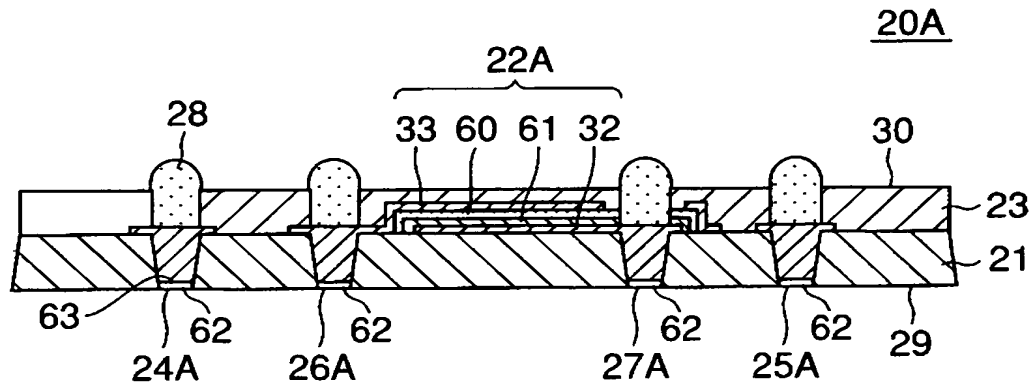
【図 3】

図2(H)に続く製造工程を示す図



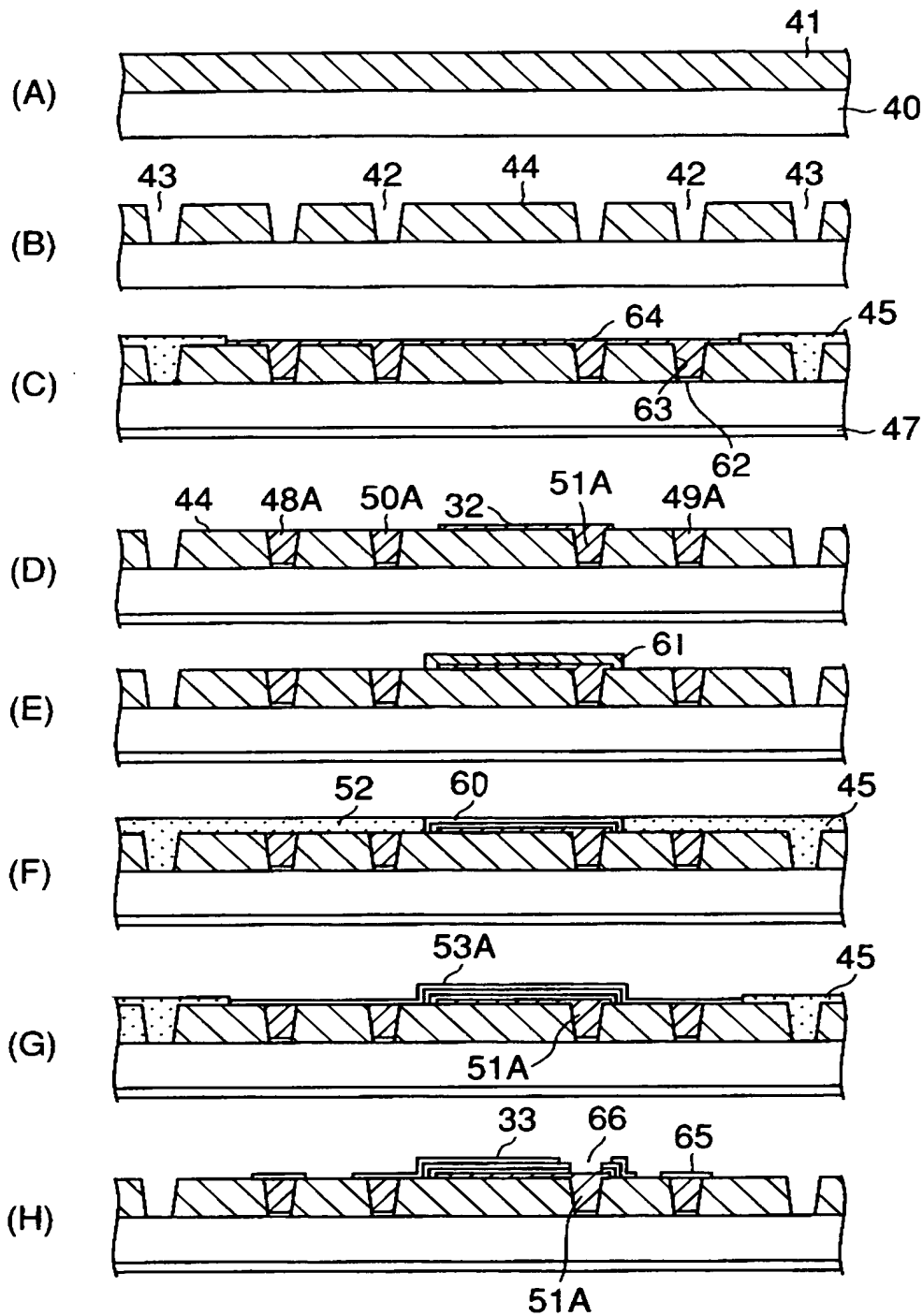
【図 4】

本発明の第2実施例になるキャパシタ素子を示す図



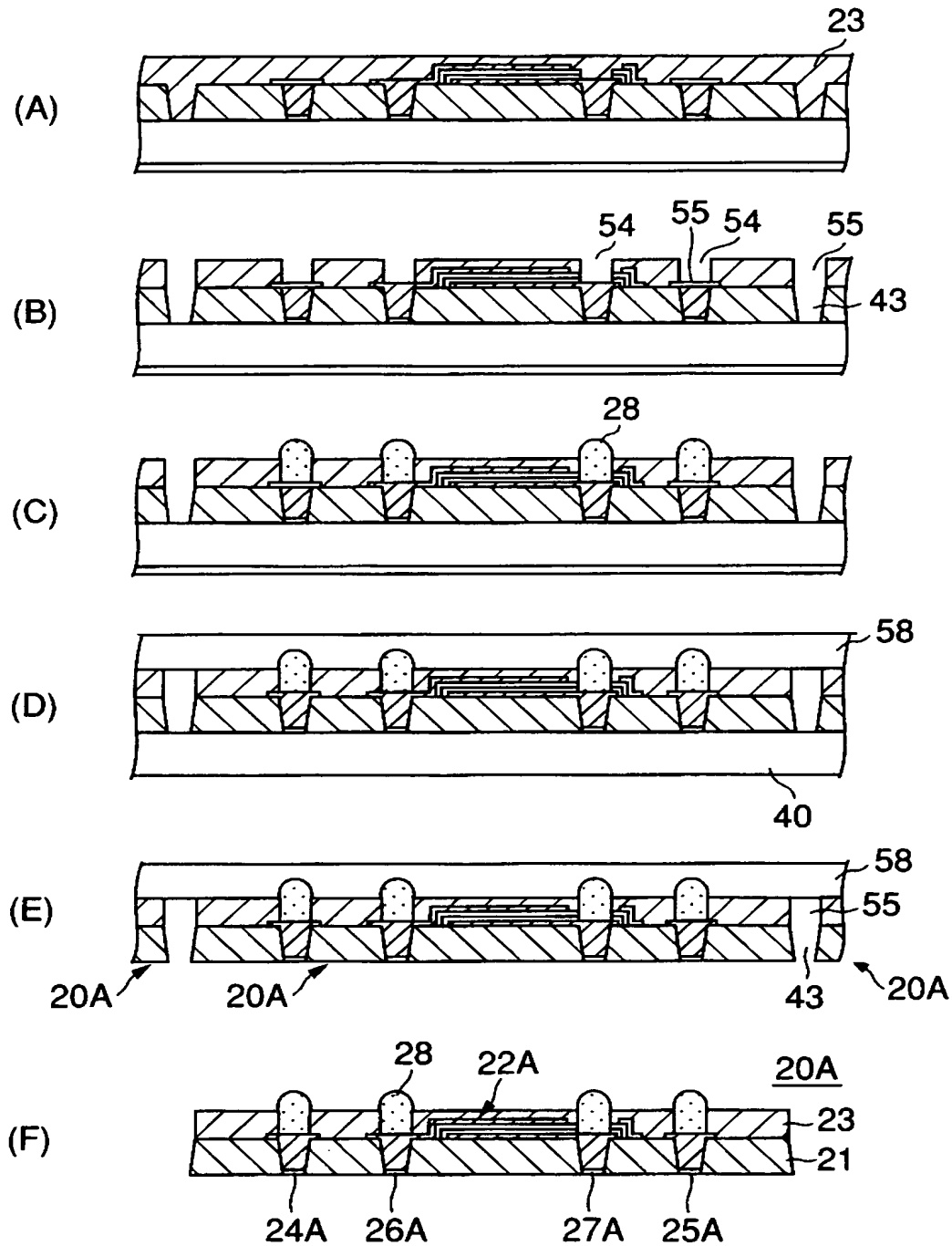
【図 5】

図4のキャパシタ素子の製造工程を示す図



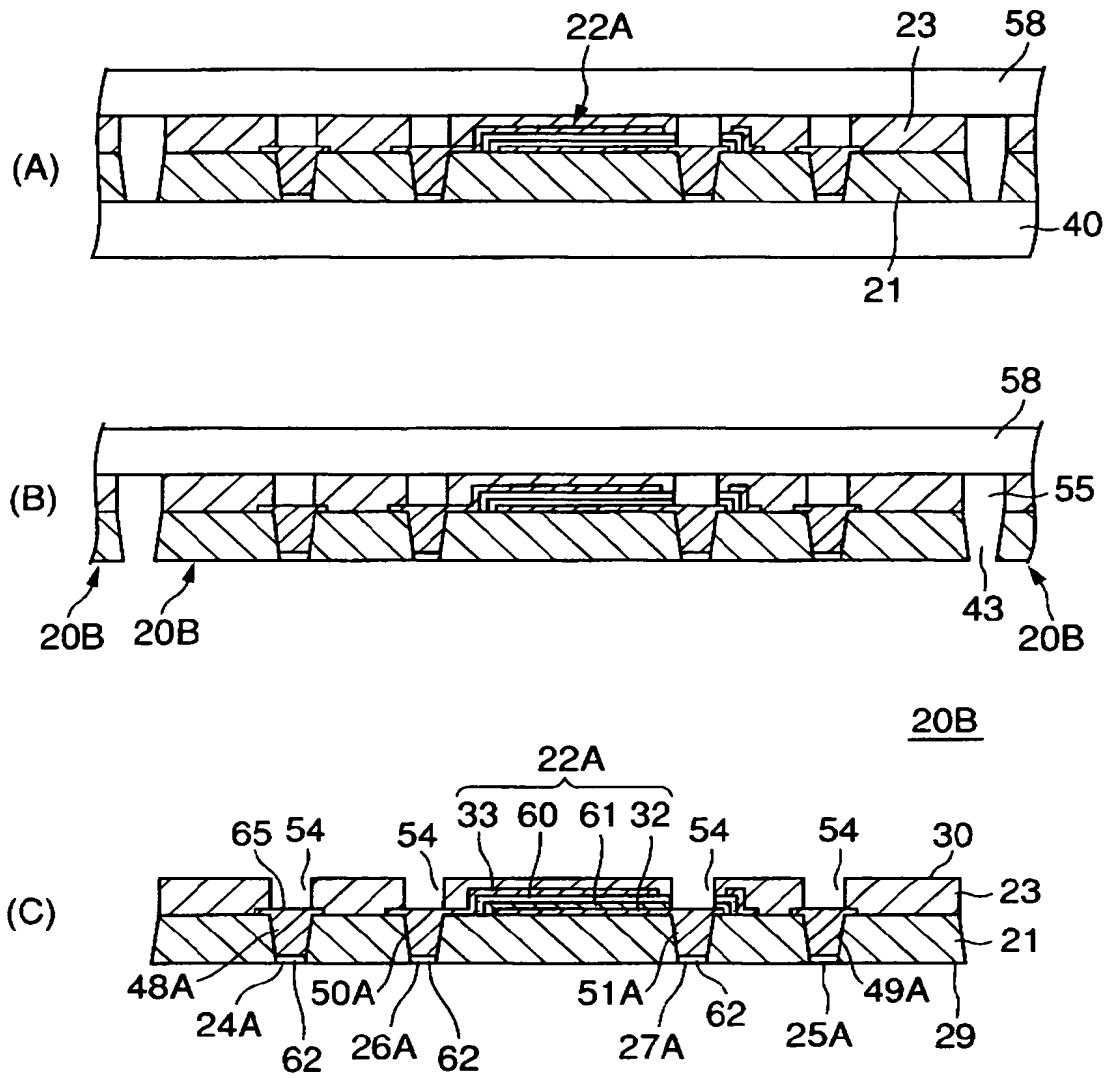
【図 6】

図5(H)に続く製造工程を示す図



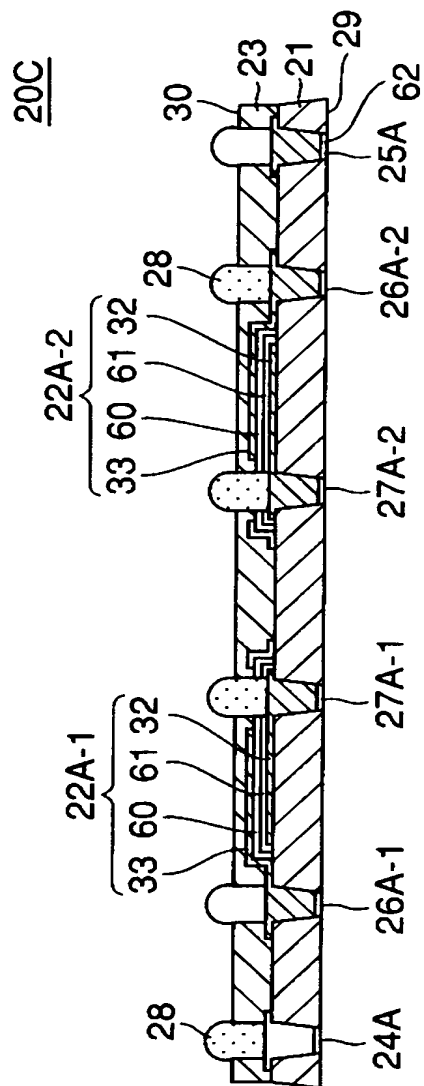
【図 7】

本発明の第3実施例になるキャパシタ素子を示す図



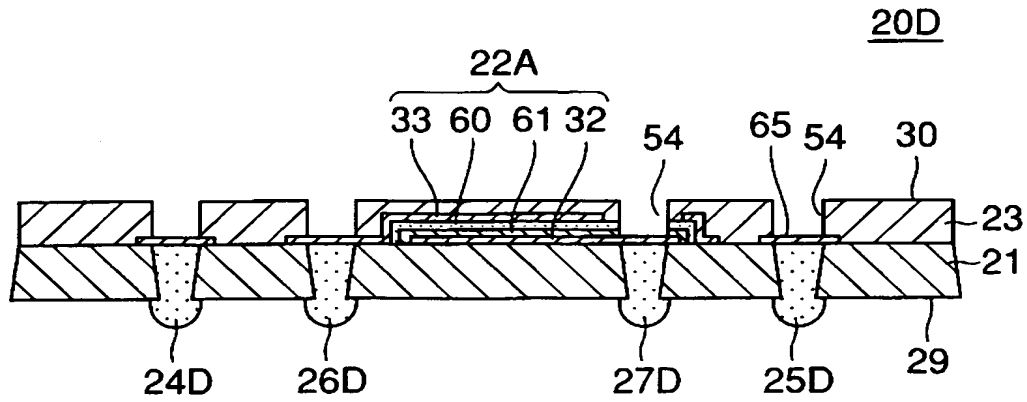
【図 8】

本発明の第4実施例になるキャパシタ素子を示す図



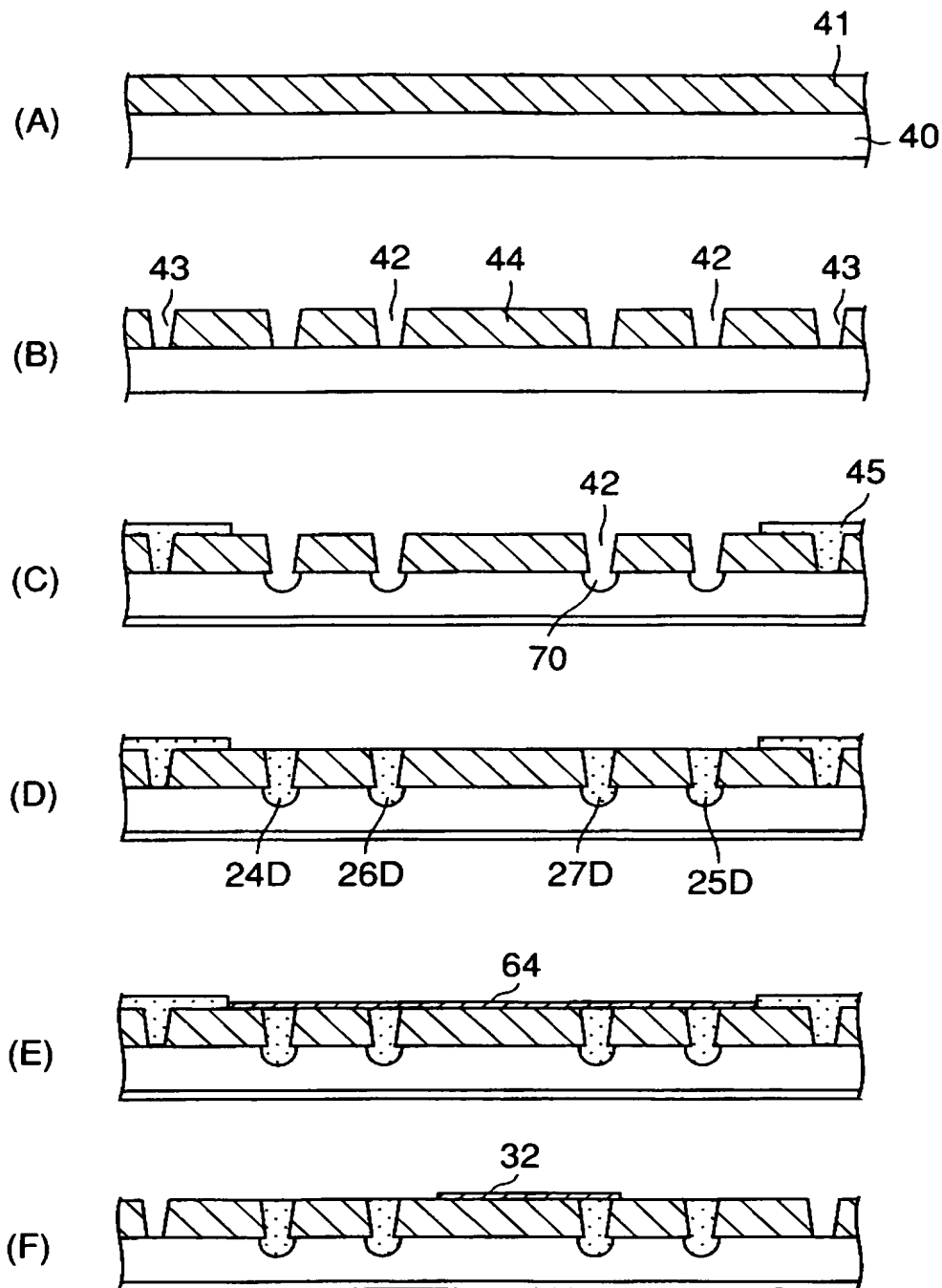
【図 9】

本発明の第5実施例になるキャパシタ素子を示す図



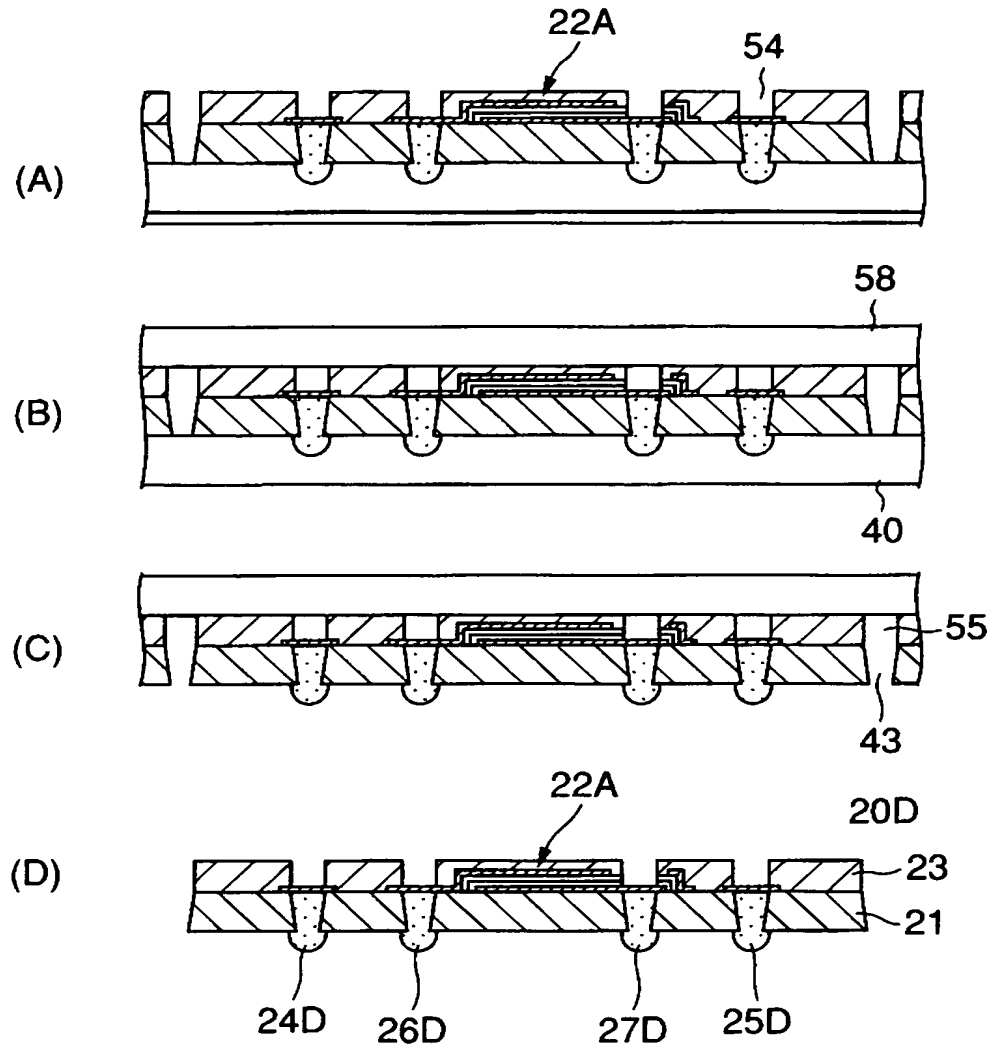
【図 10】

図9のキャパシタ素子の製造工程を示す図



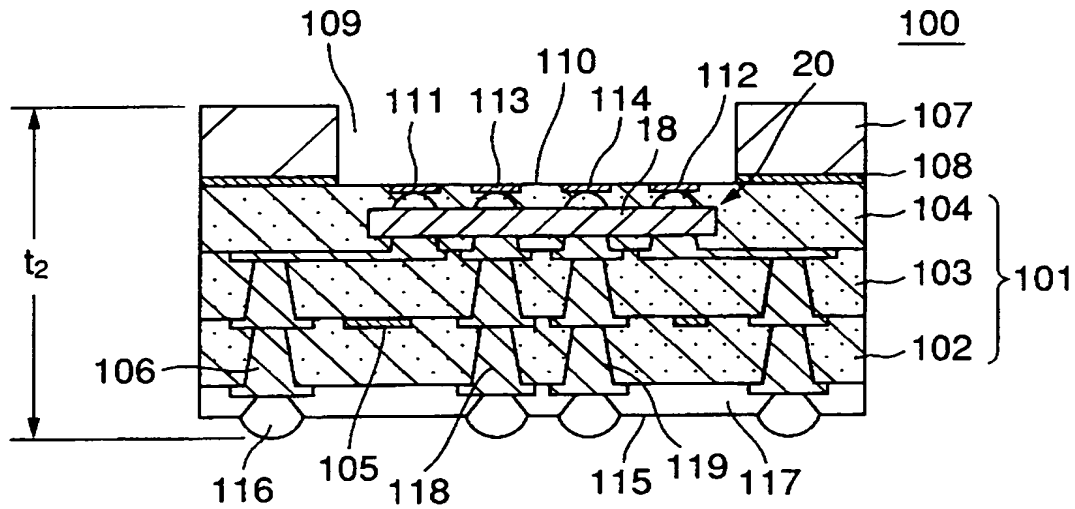
【図 11】

図10(F)に続く製造工程を示す図



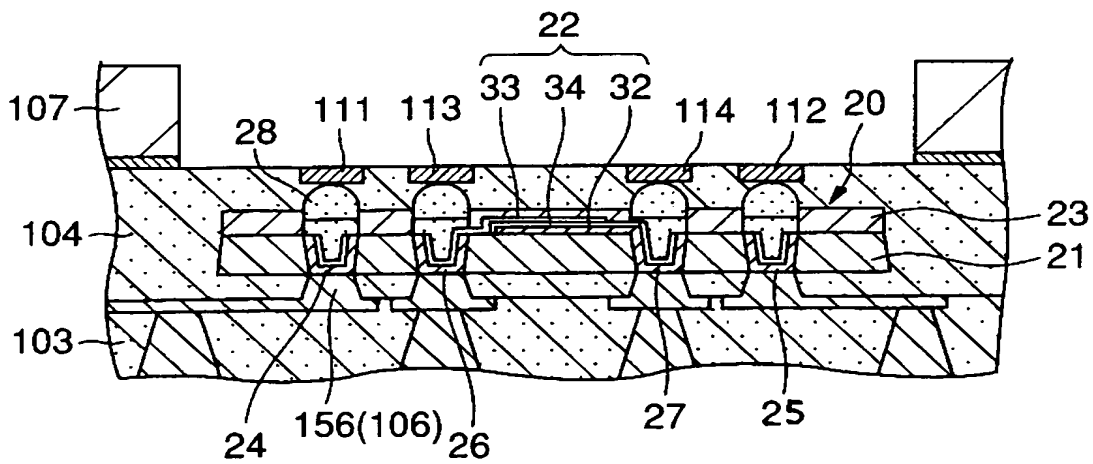
【図 1 2】

本発明の一実施例の半導体装置用基板を示す図



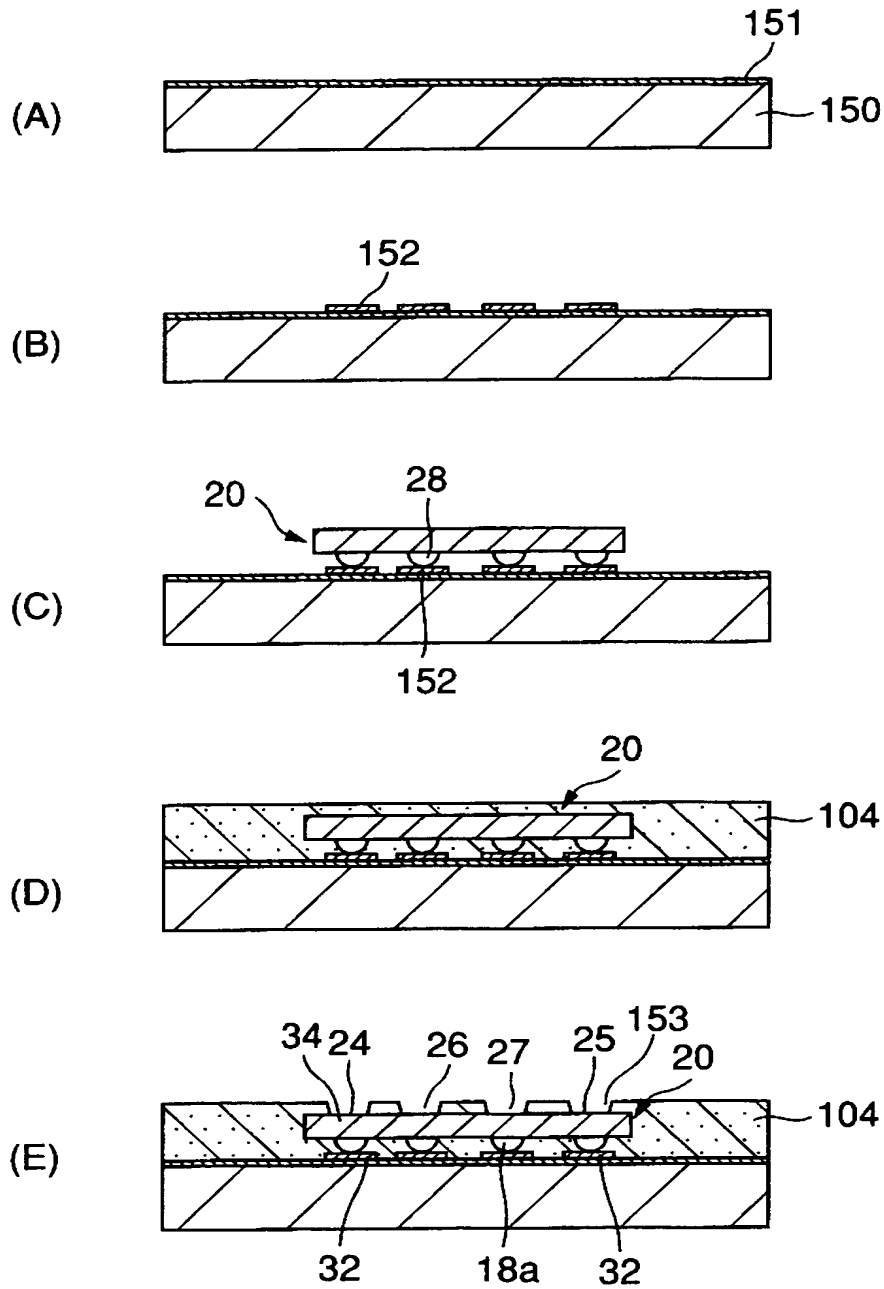
【図 1 3】

図12中の一部を拡大して示す図



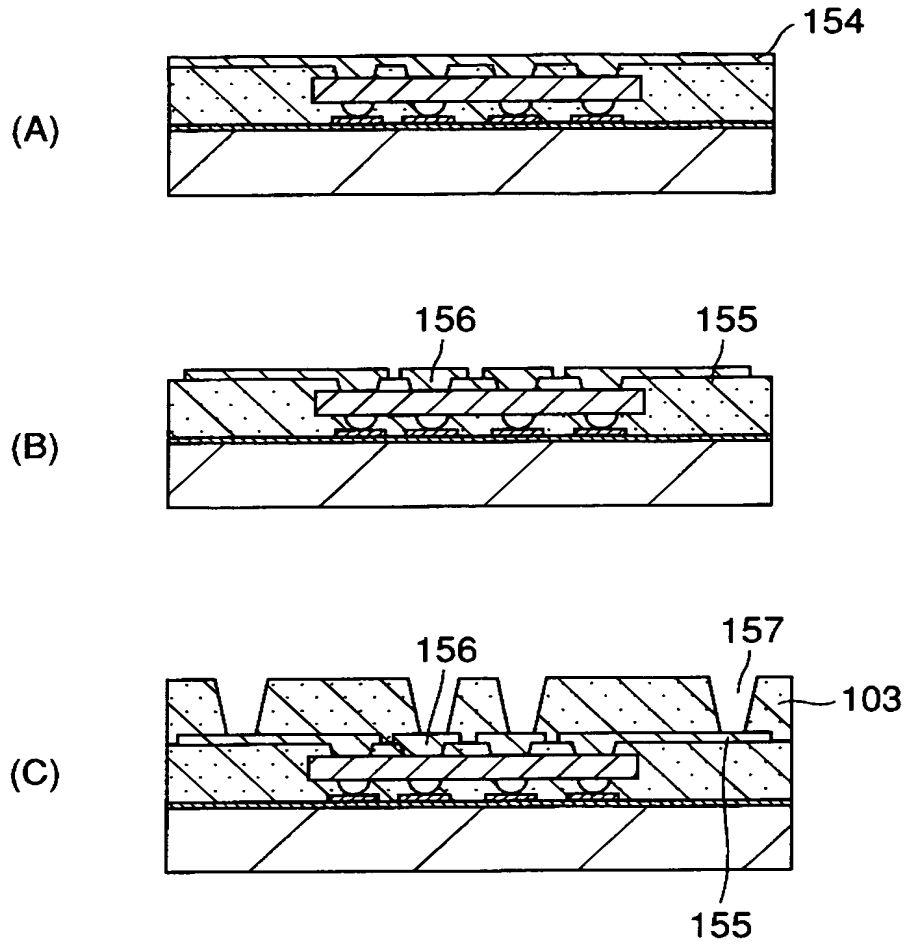
【図 15】

図12の半導体装置用基板の製造工程を示す図



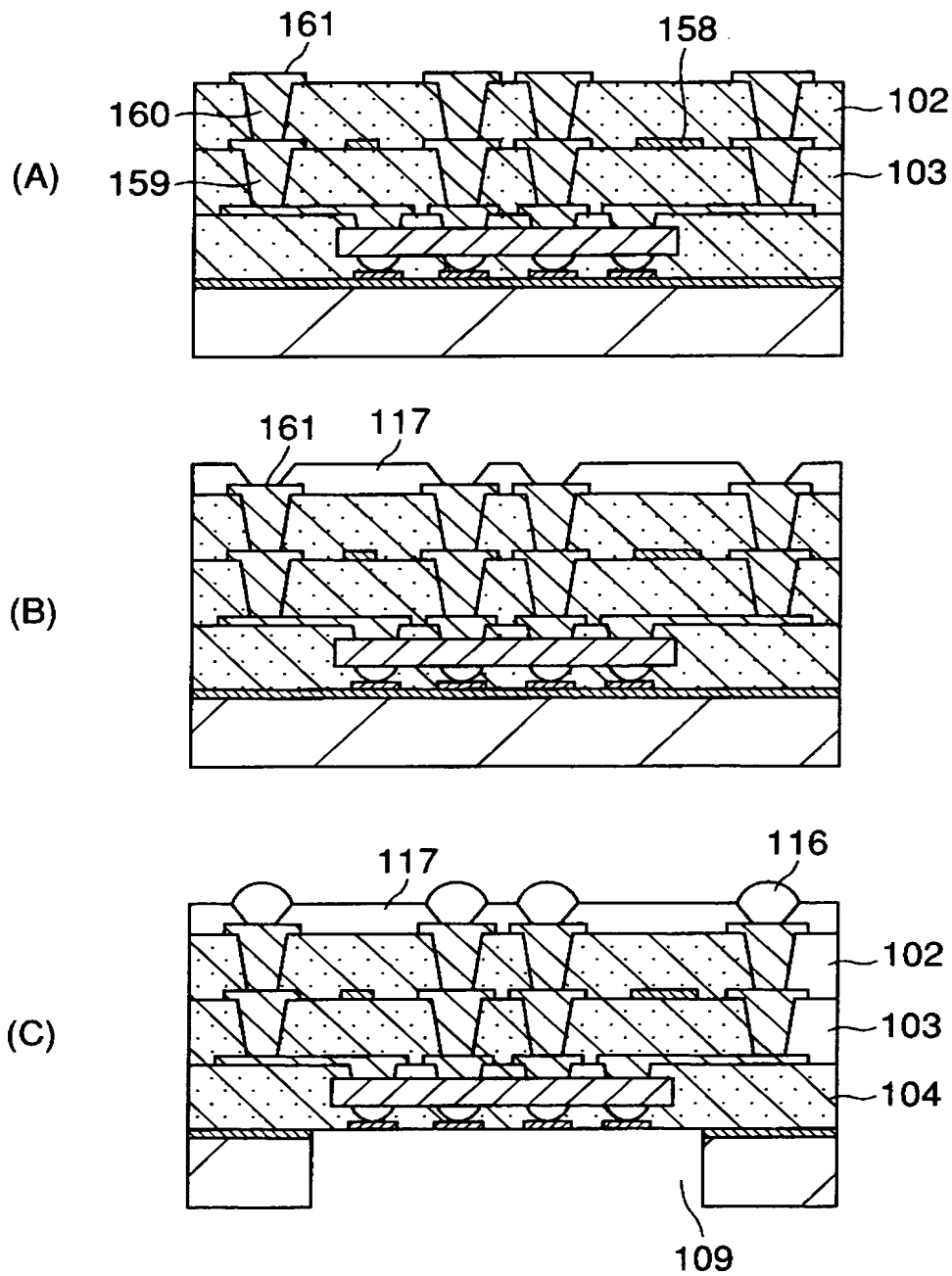
【図 16】

図15(E)に続く製造工程を示す図



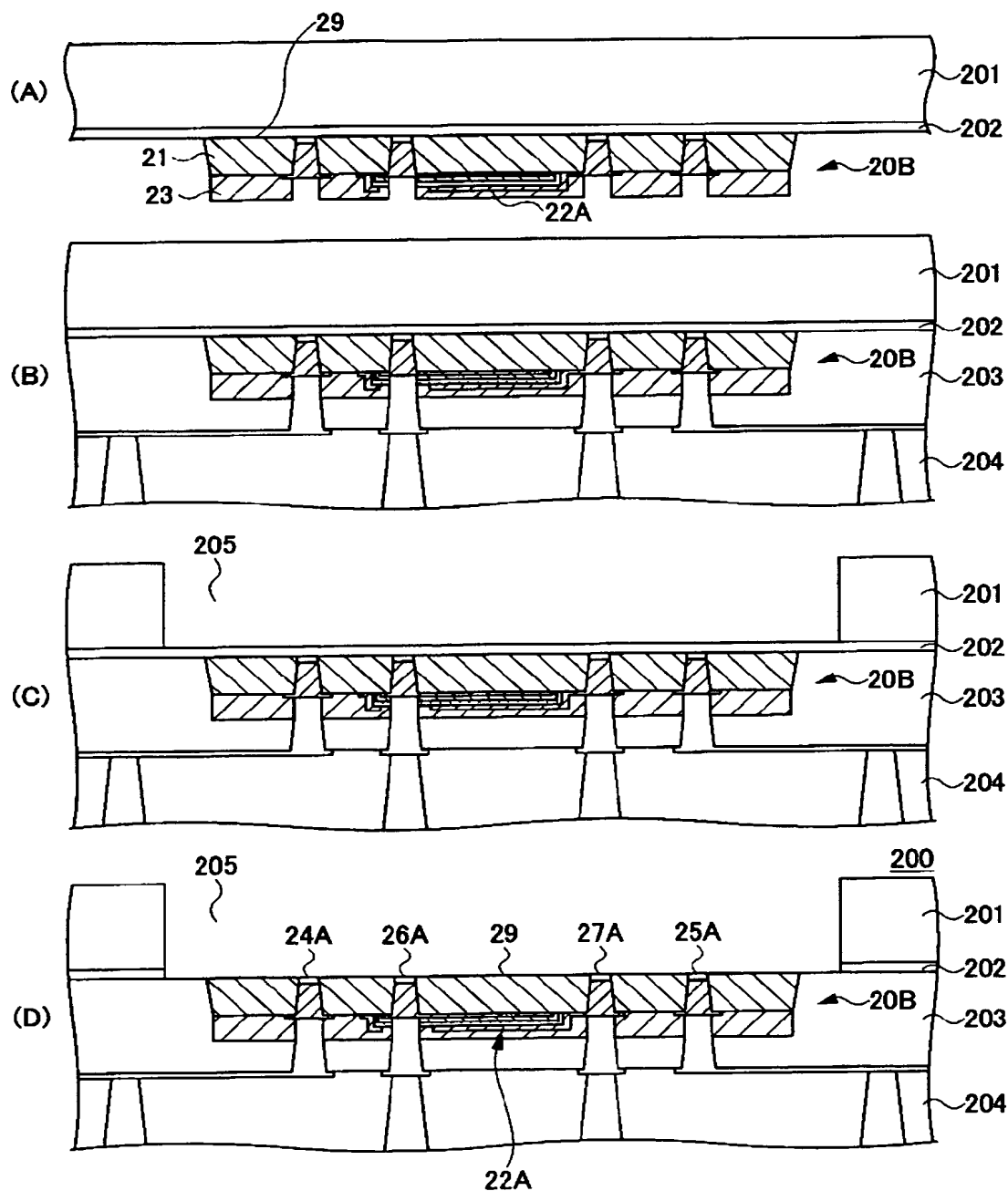
【図 17】

図16(C)に続く製造工程を示す図



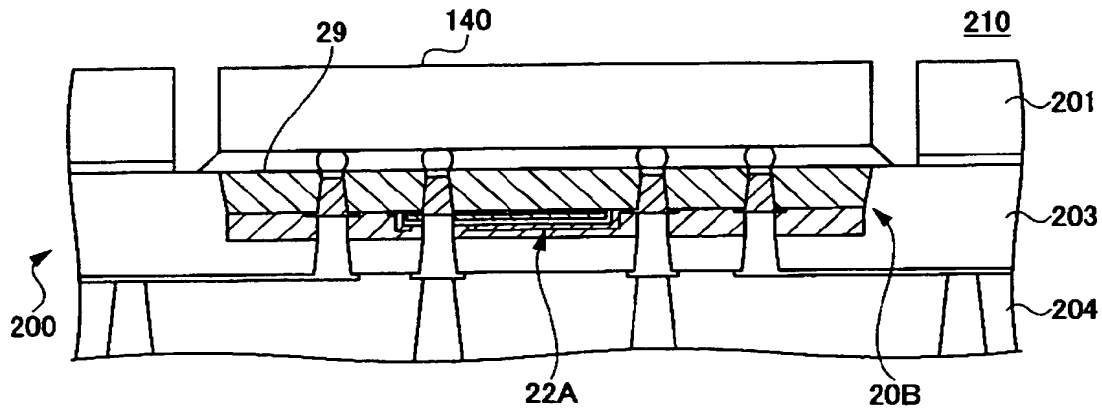
【図 18】

本発明の別の実施例の半導体装置用基板と
その製造工程と併せて示す図



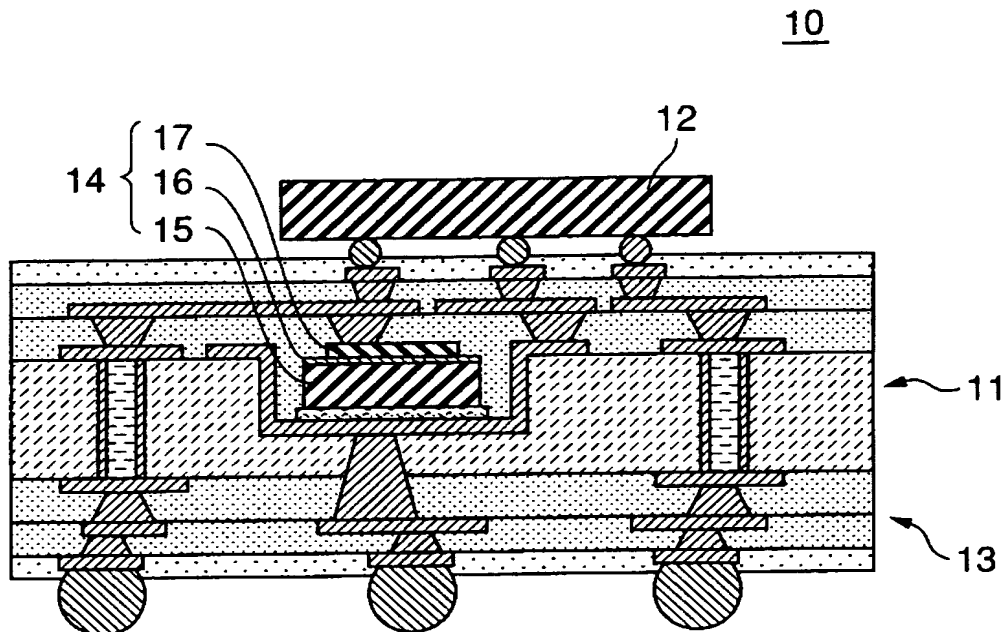
【図 19】

図 18 (D) の半導体装置用基板を有する半導体装置を示す図



【図 20】

従来例を示す図



【書類名】

要約書

【要約】

【課題】 本発明は半導体装置用基板に埋め込むキャパシタ素子に関し、薄型化及び生産性の向上を図ることを課題とする。

【解決手段】 キャパシタ素子 2 0 は、支持体 2 1 が有機ポリシラン製の膜である構成であり、搭載される半導体素子と同じ大きさを有する。キャパシタ素子 2 0 は、有機ポリシラン製の膜状の支持体 2 1 と、膜状支持体 2 1 の上面に形成してあるキャパシタ部 2 2 と、膜状支持体 2 1 の上面に形成してあり、キャパシタ部 2 2 を覆う絶縁層 2 3 と、膜状支持体 2 1 の下面に露出している信号用端子 2 4、2 5、電源用端子 2 6 及び接地用端子 2 7 と、絶縁層 2 3 の上面に突き出ている半田バンプ 2 8 とを有する。

【選択図】

図 1



特願 2 0 0 2 - 3 1 4 6 9 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 9 0 6 8 8]

1 . 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

長野県長野市大字栗田字舍利田 7 1 1 番地

氏 名

新光電気工業株式会社